3. Tecnología

Mis agradecimientos a Tomás Ladrix, quien me ayudó con la primera versión de estas láminas

angel@uc.cl

Los dibujos, fotos, esquemáticos e imágenes incluidos en estas láminas vienen del sitio web del libro del curso, con permiso del autor.

IEE2713 Sistemas Digitales



3.1 – 3.7

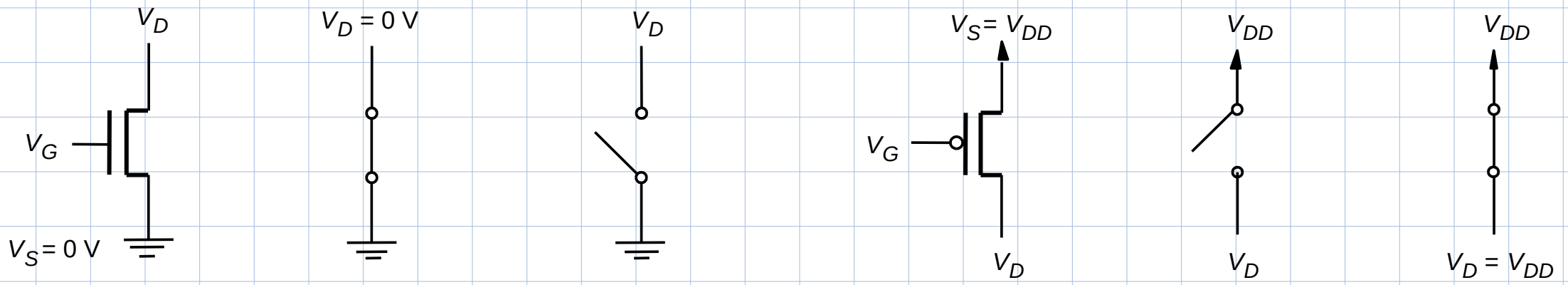
Tecnologías para implementación digital

angel@uc.cl

IEE2713 Sistemas Digitales

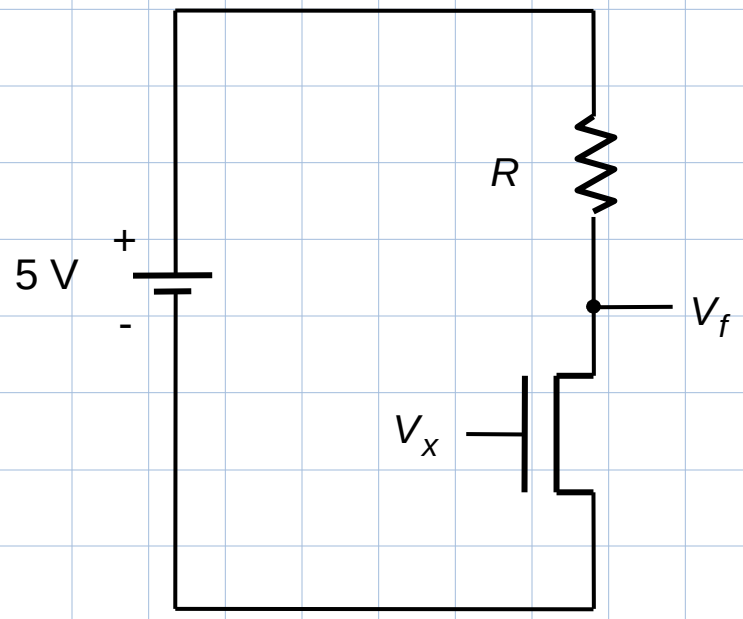
3.1 Interruptores de transistores

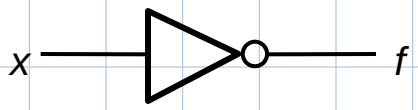
- Para implementar las distintas compuertas lógicas, se utilizan transistores.
- El tipo de transistor más común para implementar compuertas lógicas son los MOSFET.
  - Éstos funcionan como switches y pueden ser de dos tipos (o "sabores"): NMOS o PMOS.



3.2 Compuertas lógicas NMOS

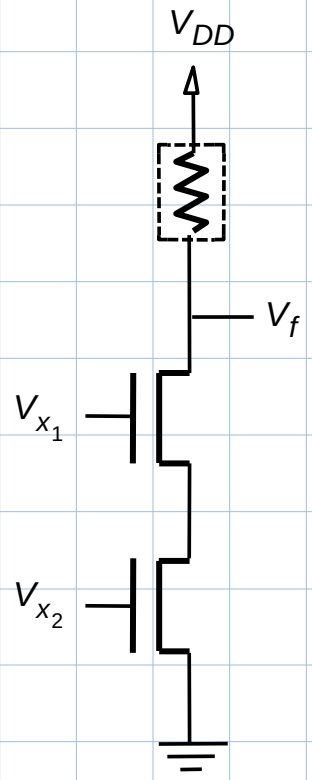
- Es posible implementar compuertas usando un solo tipo de MOSFET, ej., NMOS solamente
- Las más sencillas son las compuertas NOT, NAND y NOR



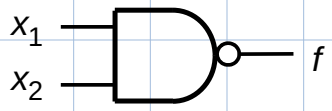


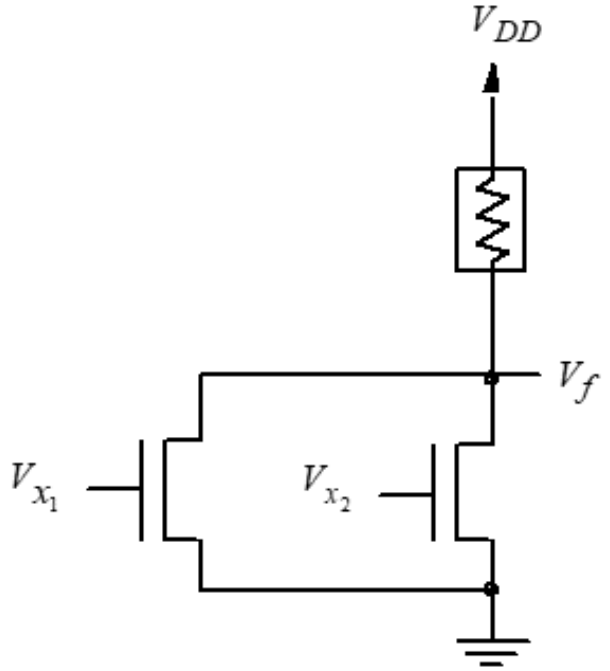
3.2 Compuertas lógicas NMOS

- Compuertas NAND y NOR:



x_1	x_2	f
0	0	1
0	1	1
1	0	1
1	1	0



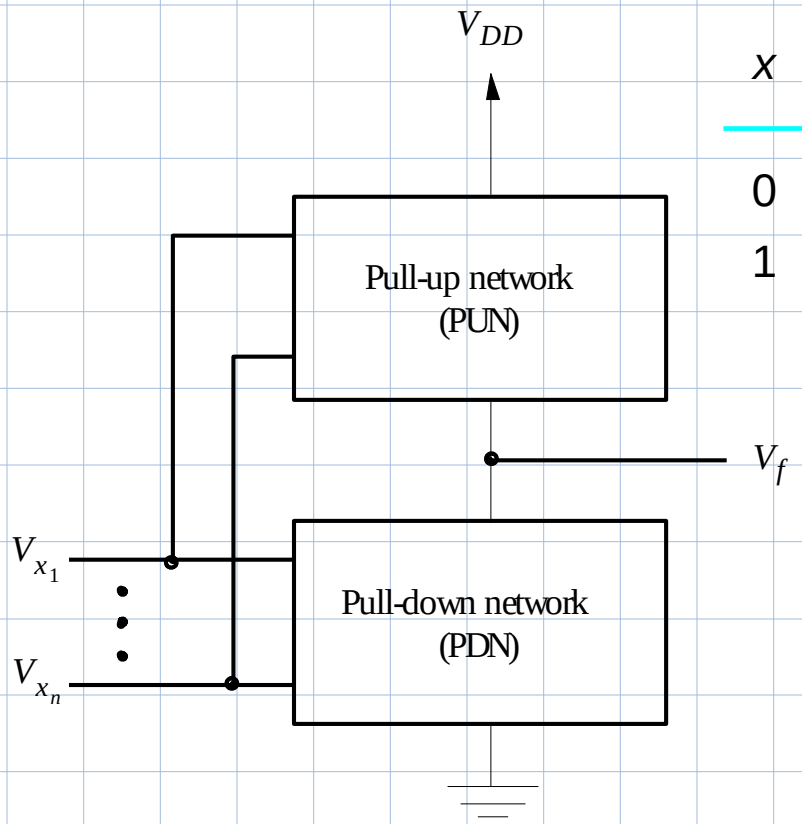


x_1	x_2	f
0	0	1
0	1	0
1	0	0
1	1	0

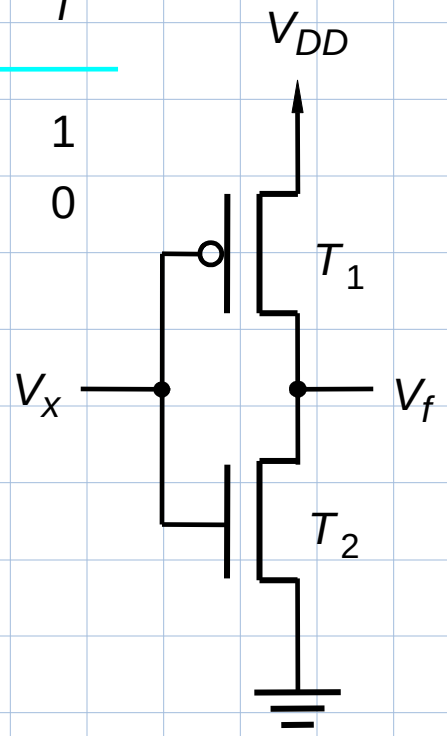


3.3 Compuertas lógicas CMOS

- Las compuertas de tipo CMOS combinan NMOS y PMOS para generar la función lógica



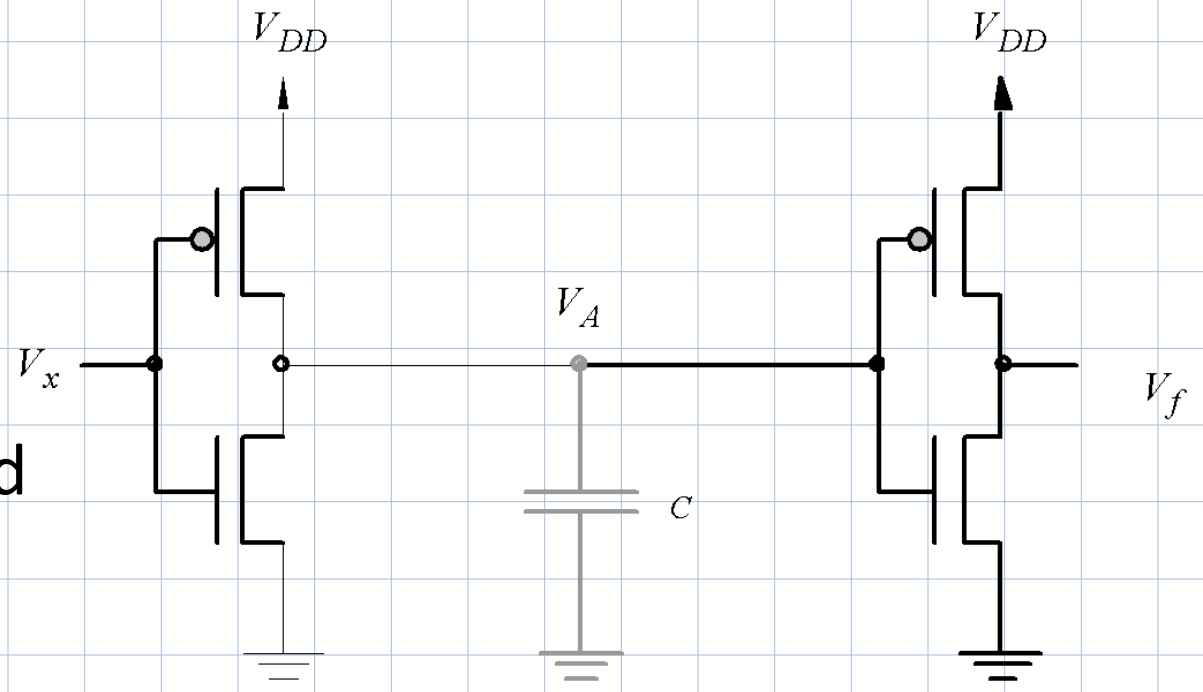
x	T_1	T_2	f
0	on	off	1
1	off	on	0



- Son utilizados de tal manera que nunca haya un cortocircuito
- **No pasa corriente** cuando no hay cambios en las entradas, por lo que **no consumen potencia estática**
- PUN y PDN son redes **duales**, como un espejo, pero opuestos
  - Cuando hay una conexión en serie en el PDN, hay una conexión en paralelo de las mismas entradas en PUN

3.3.1 Velocidad de circuitos con compuertas lógicas

- ¿Qué tan rápido puede cambiar de estado un transistor?
- En realidad los transistores no funcionan como interruptores ideales y tienen una resistencia interna cuando están abiertos
- Además poseen capacitancias parásitas que retrasan la velocidad de propagación

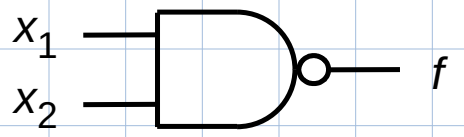


(b) The capacitive load at node A

3.4 Circuitos con lógica negativa

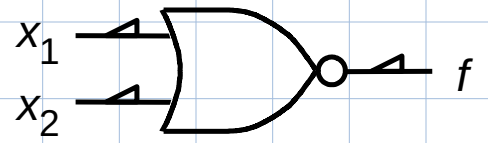
- Asignar 1s a Vdd y 0s a tierra es totalmente arbitrario
- Un circuito que usa lógica negativa es aquel que asigna los valores de manera inversa
  - La compuerta NAND con lógica positiva es lo mismo que un NOR con lógica negativa, y también a la inversa

x_1	x_2	f
0	0	1
0	1	1
1	0	1
1	1	0



(a) Positive logic truth table and gate symbol

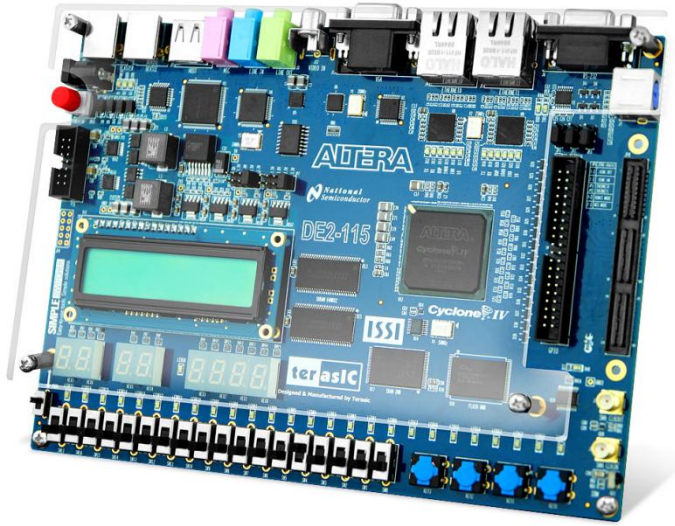
x_1	x_2	f
1	1	0
1	0	0
0	1	0
0	0	1

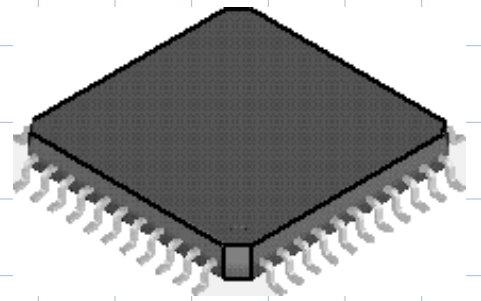


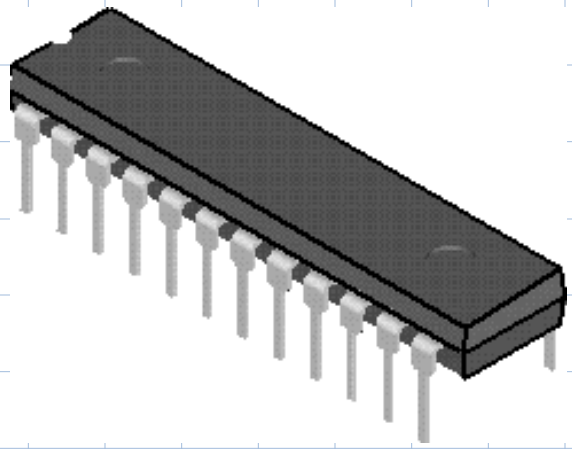
(b) Negative logic truth table and gate symbol

3.5 Chips estándar

- Existen muchos tipos de circuitos integrados, desde chips con compuertas lógicas fijas hasta circuitos programables
- En esta sección hablaremos de los chips lógicos estándar, que contienen compuertas lógicas
- Actualmente han sido reemplazados por chips programables en la mayoría de aplicaciones
- Aún los usamos para funciones de “glue logic”

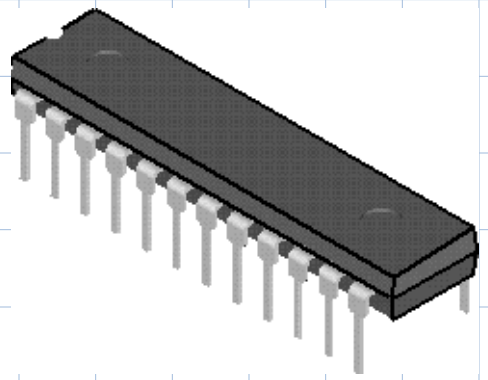




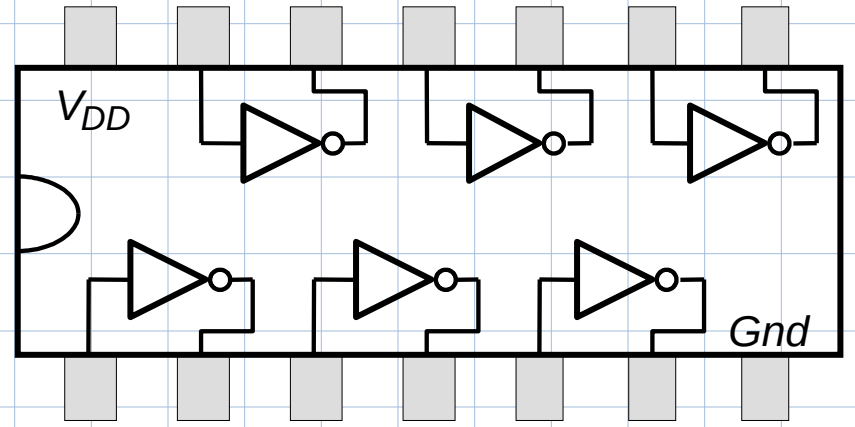


3.5.1 Chips estándar serie 7400

- Son chips con compuertas fijas
- Vienen encapsulados en DIPs
- Hay muchos tipos y muchos fabricantes
- Todos siguen la sigla 74xx



(a) Dual-inline package

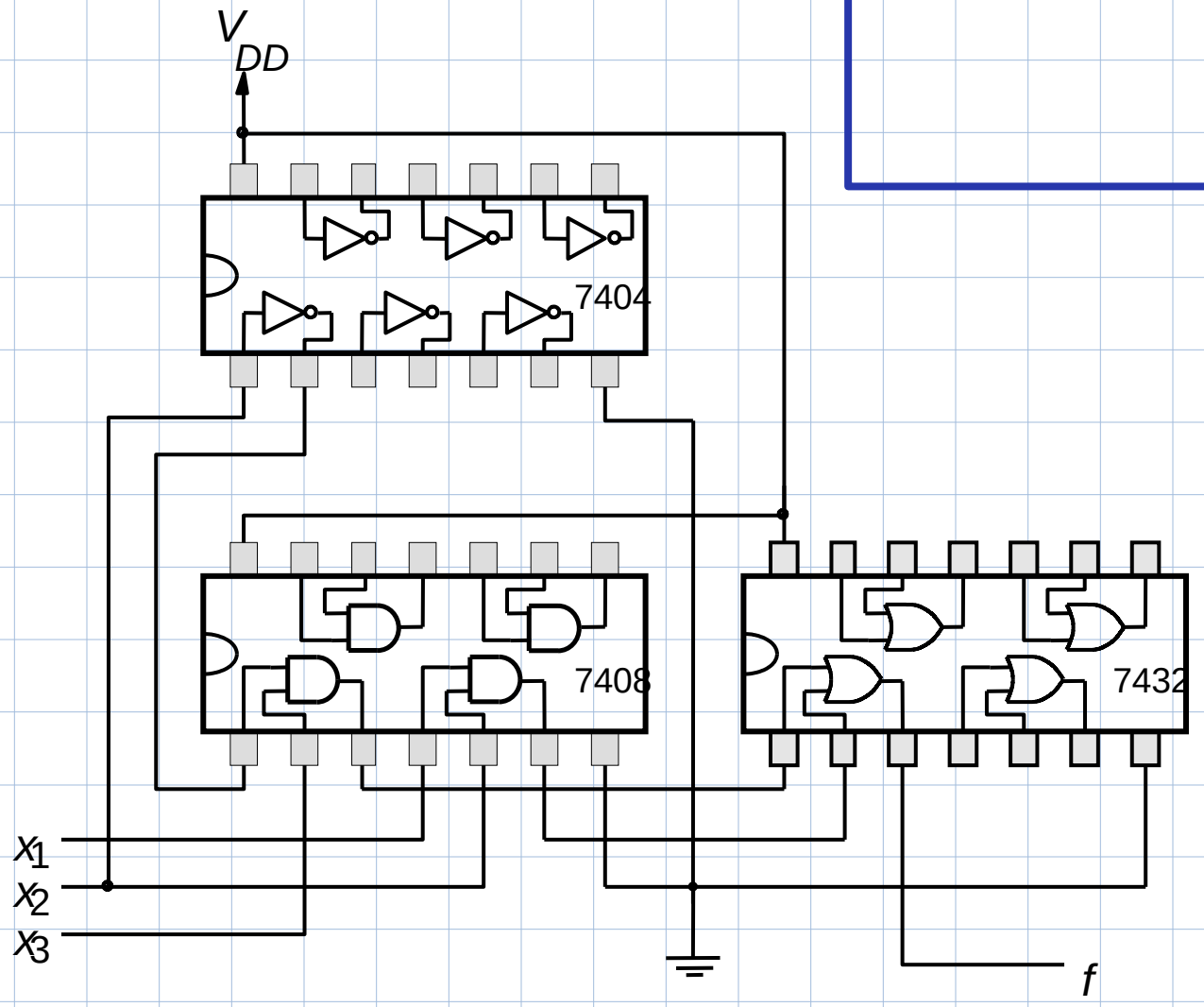


(b) Structure of 7404 chip

3.5.1 Chips estándar serie 7400

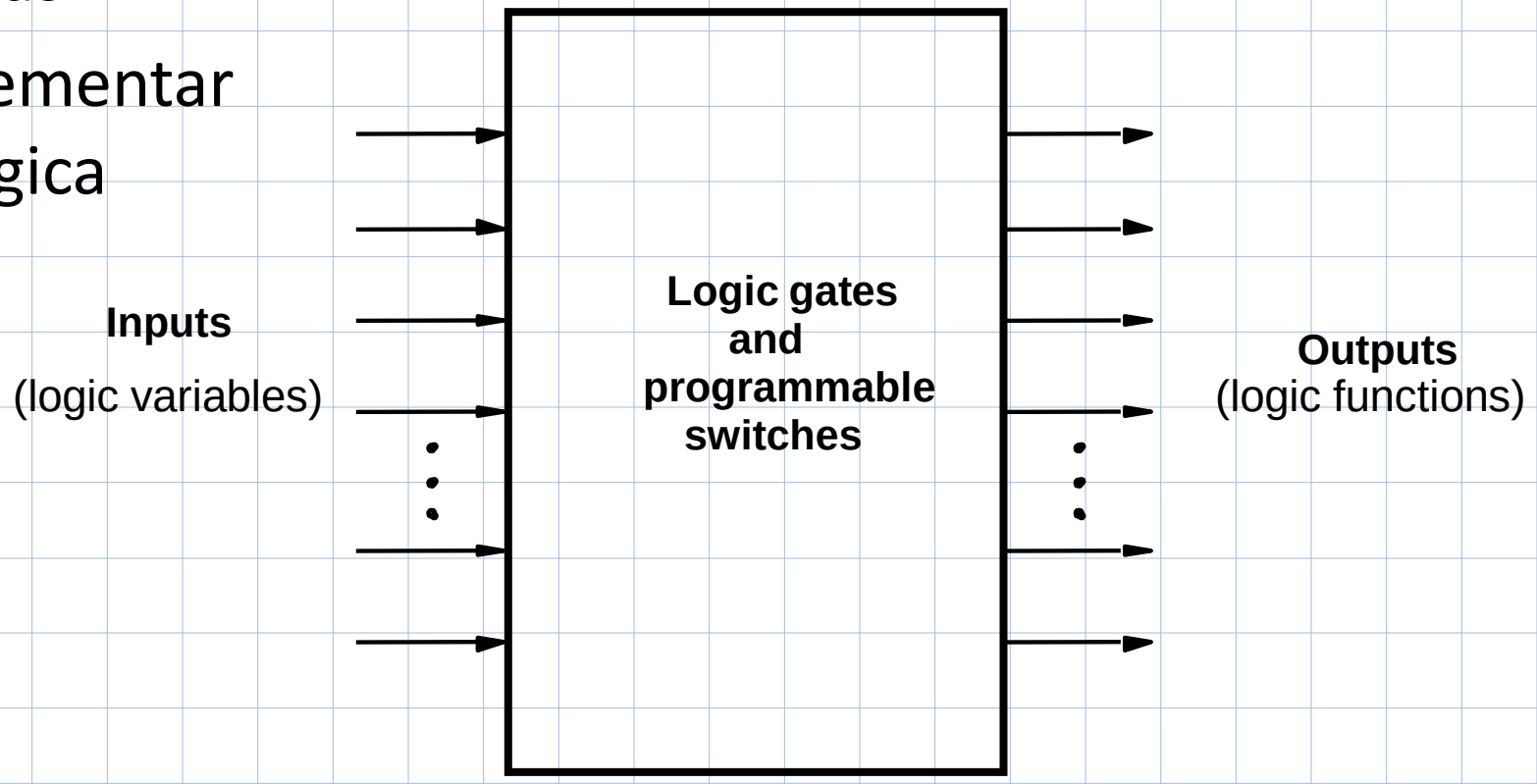
- Implementación usando chips 7400 de la función

$$f = x_1x_2 + (\sim x_2)x_3$$



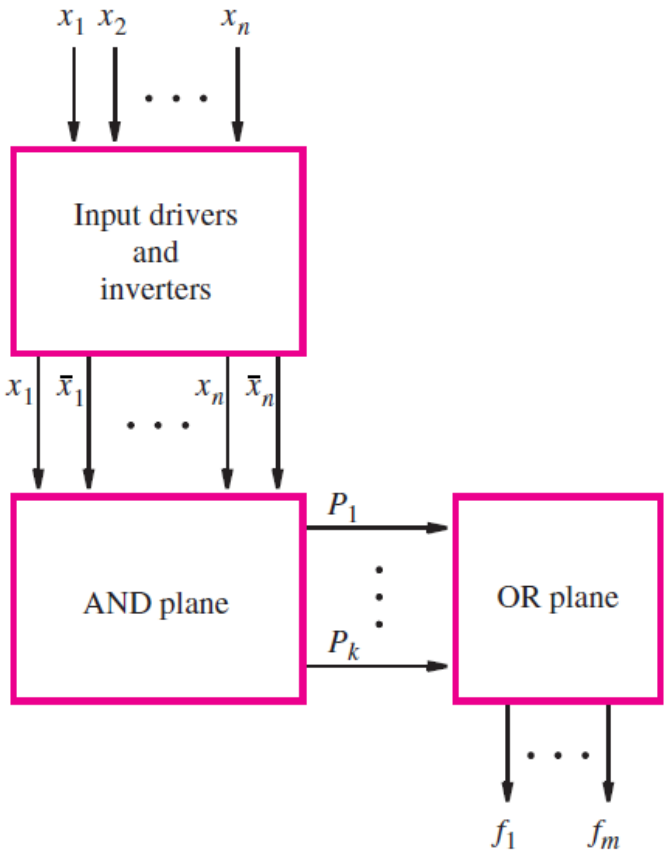
3.6 Dispositivos lógicos programables

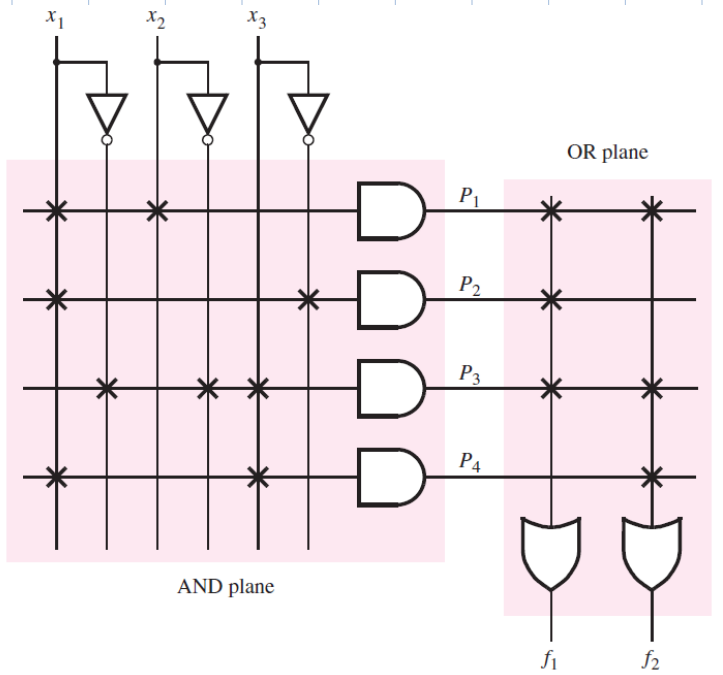
- La desventaja de los chips 7400 es que tienen pocas compuertas y son fijas
- PLDs permiten implementar cualquier función lógica



3.6.1 Arreglo lógico programable (PLA)

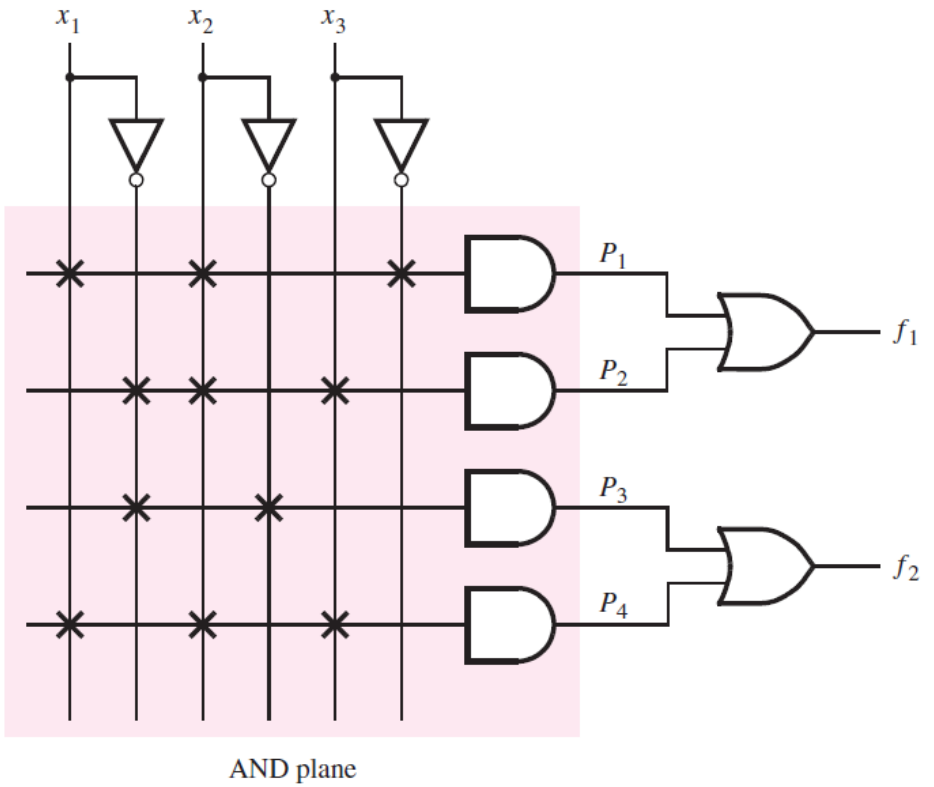
- Son un tipo de PLD y consisten en planos programables de compuertas lógicas
- Implementan funciones lógicas de la forma de “sumas de productos”, con un plano AND seguido por un plano OR





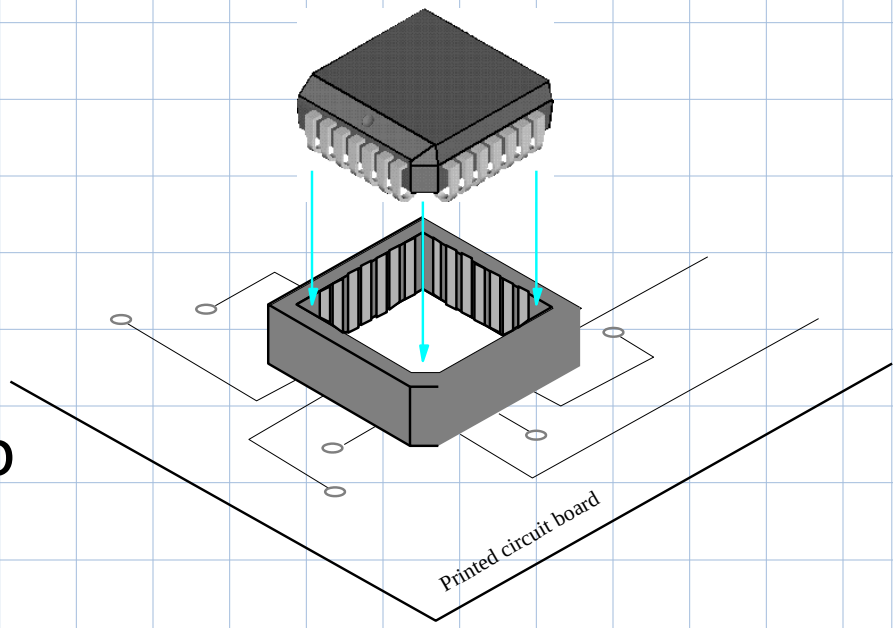
3.6.2 Lógica de arreglo programable (PAL)

- Los PLA presentaban ciertos problemas de implementación
- Surgieron los PAL, similar a los PLA pero con el plano OR fijo, con el costo de tener menor flexibilidad
- PALs y PLAs son generalmente usados como partes de chips más grandes (pero con conexiones fijas)



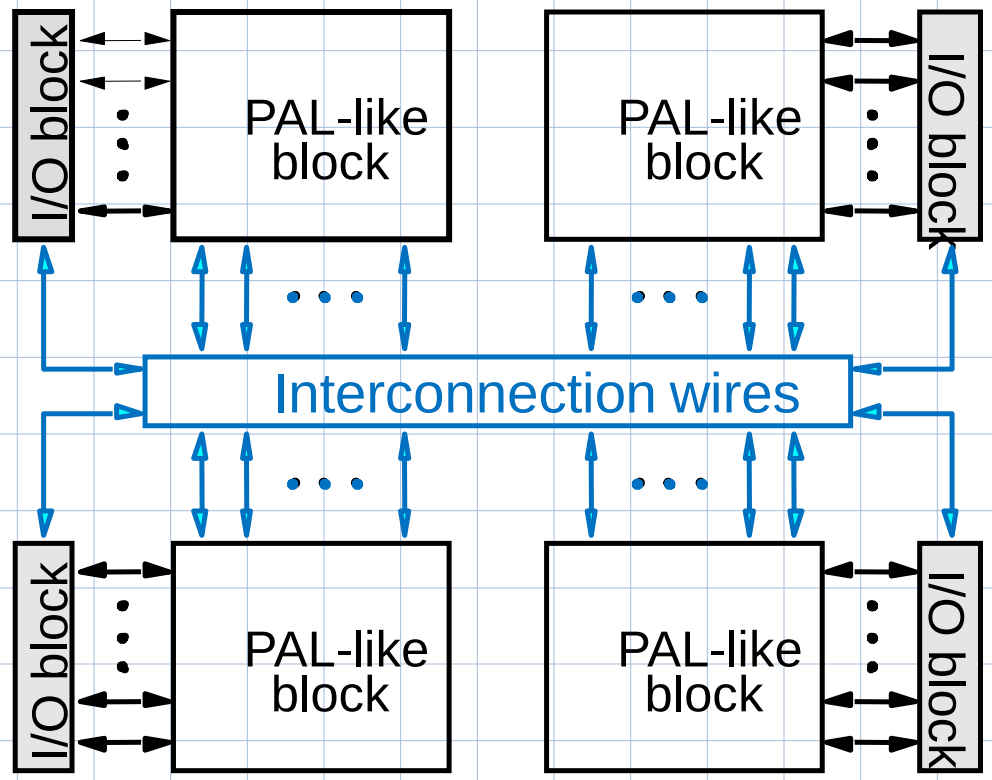
3.6.3 Programación de PLAs y PALs

- No es factible programar a mano PLDs que contienen miles de interruptores
- Existen herramientas computacionales (CADs) que generan automáticamente un archivo (fuse map) que establece el estado de los interruptores según los requerimientos del programador
- Generalmente usan un encapsulado llamado PLCC, que es cuadrado, a diferencia de los DIPs que son rectangulares

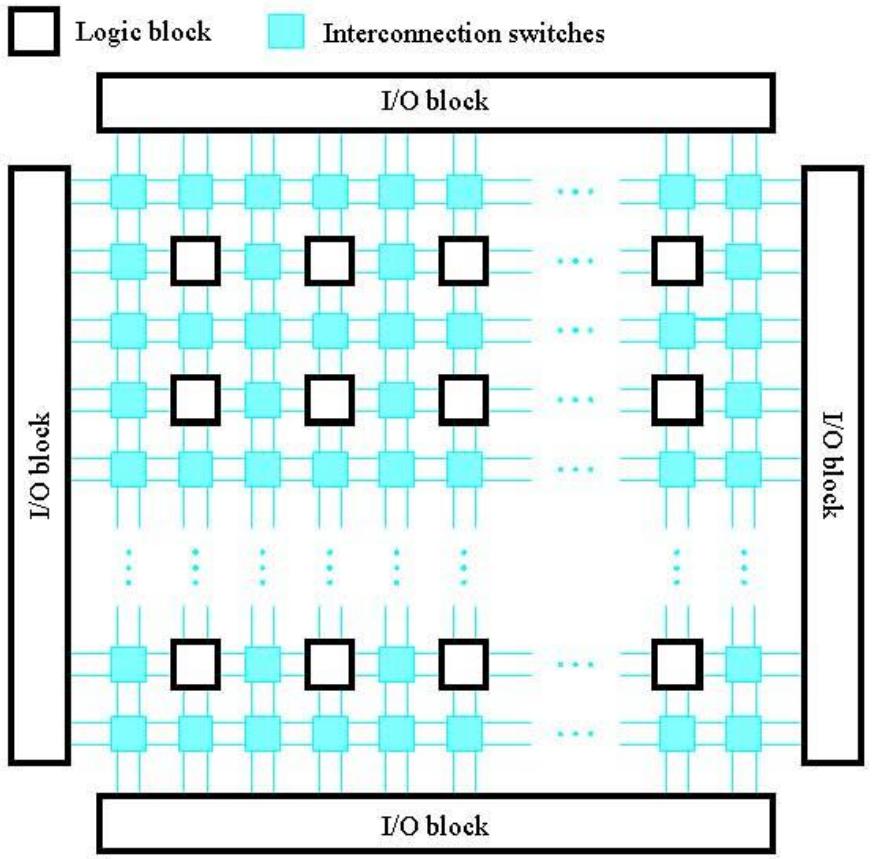


3.6.4 Dispositivos complejos de lógica programable (CPLD)

- CPLD son circuitos más complejos que los PAL o PLA
- Están conformados por unidades interconectadas más pequeñas similares a los PAL
- Su complejidad varía desde 2 a más de 100 bloques tipo PAL
- Se programan directamente y generalmente usan un encapsulado QFP que no es retirable como los PLCC



3.6.5 Arreglos de compuertas programables en el campo (FPGA)



(a) General structure of an FPGA

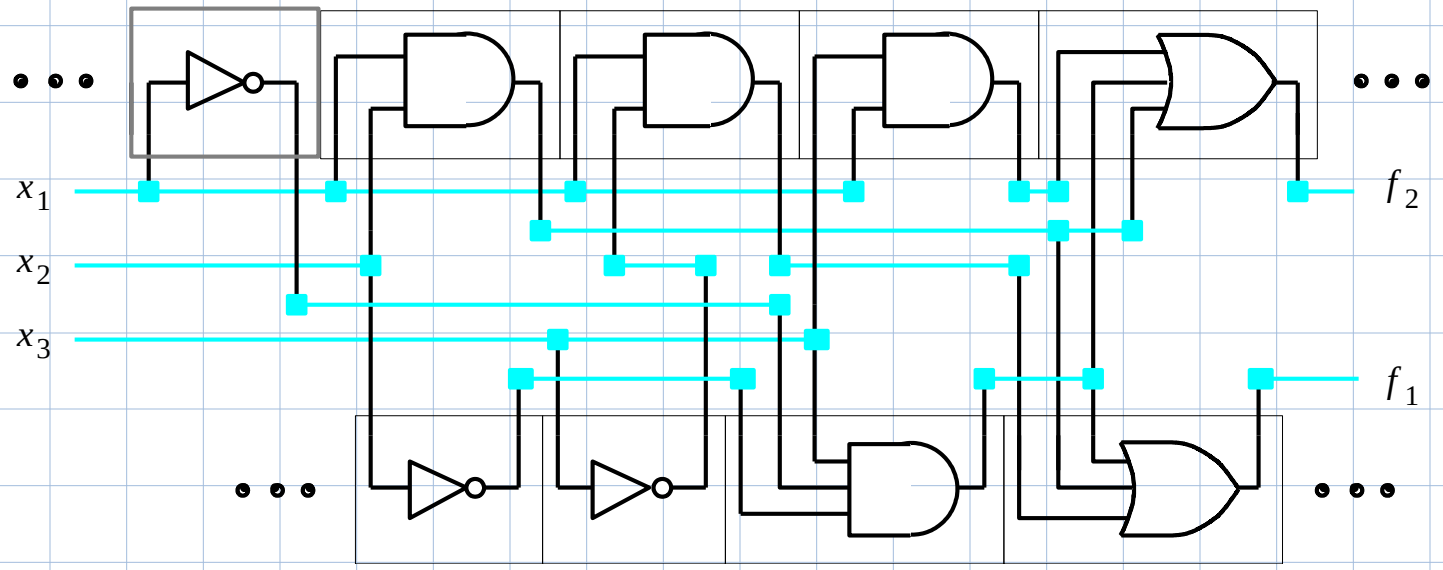
- Los chips anteriores tienen tamaño limitado - Los CPLD contienen hasta 10.000 compuertas, lo cual es muy poco
- Las FPGAs permiten implementar circuitos mucho más grandes, con un equivalente de más de 1.000.000 de compuertas
- No funcionan con compuertas, sino que con bloques lógicos como LUTs (Look-up tables)

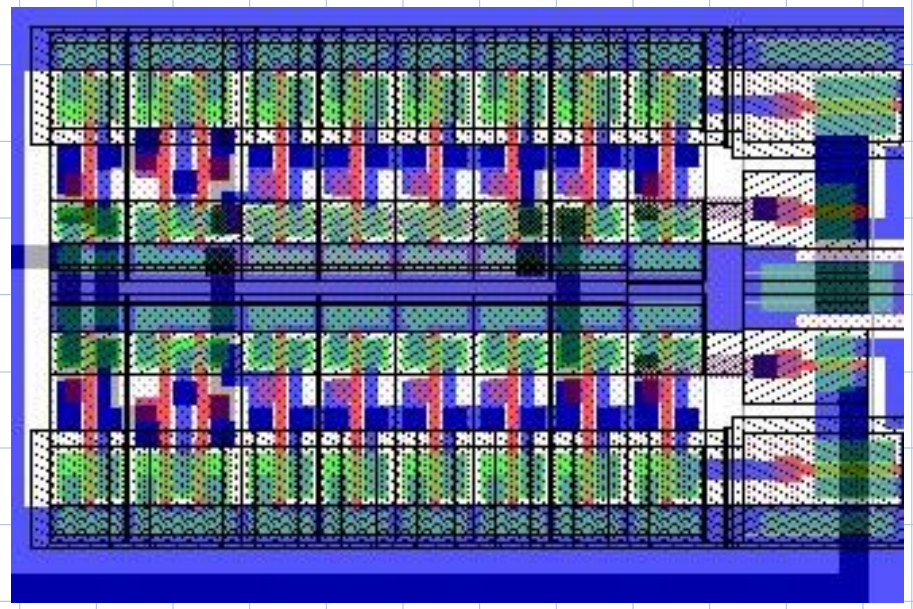
3.6.6 Herramientas de CAD para implementación en CPLD y FPGA

- Estos circuitos tienen tantas compuertas que es **imposible** programarlas a mano
- En cambio, se configuran usando HDLs (Hardware Design Language)
- Estos lenguajes transforman código en archivos necesarios para establecer la configuración de los switches internos del chip
- La programación de estos chips es volátil, es decir, cuando se apagan, pierden su configuración
- Para suplir esto, las tarjetas con FPGAs por lo general contienen bloques de memoria que cargan la configuración en el FPGA al encenderse

3.7 Chips a la medida (custom), celdas estándar y arreglos de compuertas

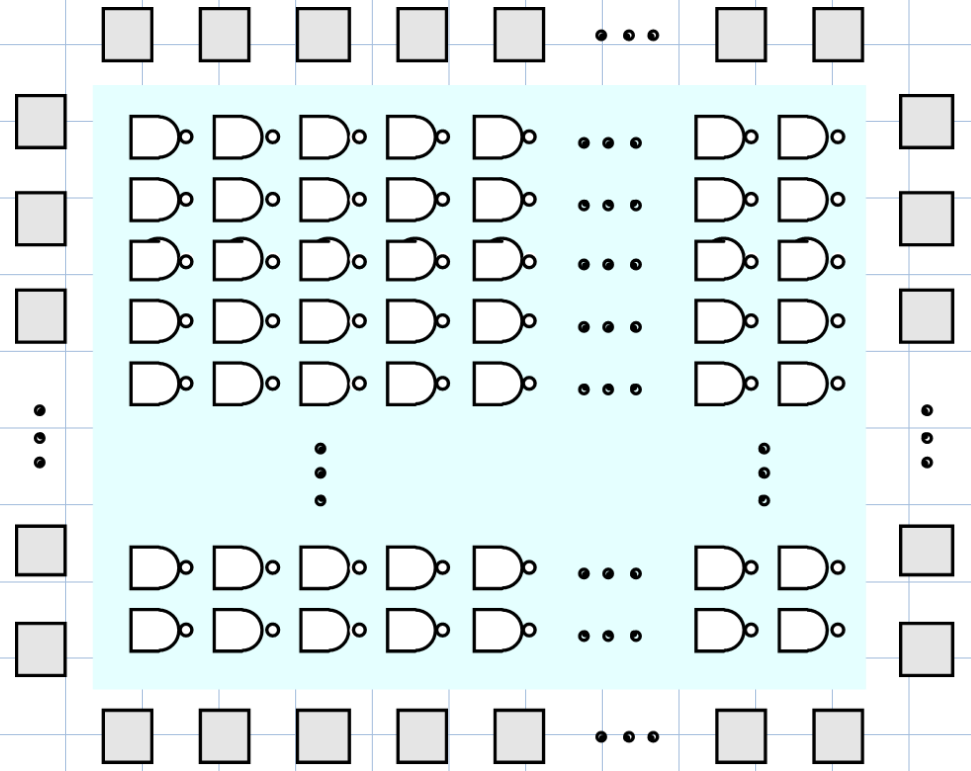
- La alternativa a los PLD es crear un chip desde cero, lo cual es tremendamente caro
- Para no diseñar las celdas desde cero, se utilizan **celdas estándar** de un mismo tamaño diseñadas para la tecnología específica de fabricación





3.7 Chips a la medida (custom), celdas estándar y arreglos de compuertas

- Para ahorrar trabajo, en algunos casos se utilizan arreglos de compuertas
- Son chips con partes prefabricadas (template) pero sin las conexiones metálicas
- Esta tecnología se denomina mar de compuertas (sea of gates)





3.8 – 3.11

Consideraciones importantes en MOS

angel@uc.cl

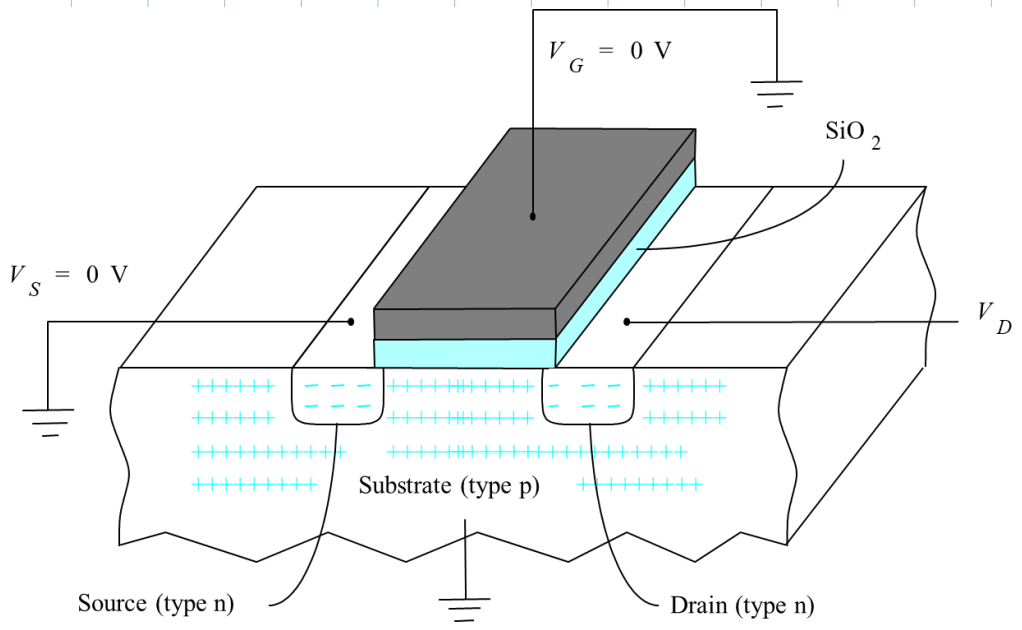
IEE2713 Sistemas Digitales

3.8 Aspectos prácticos

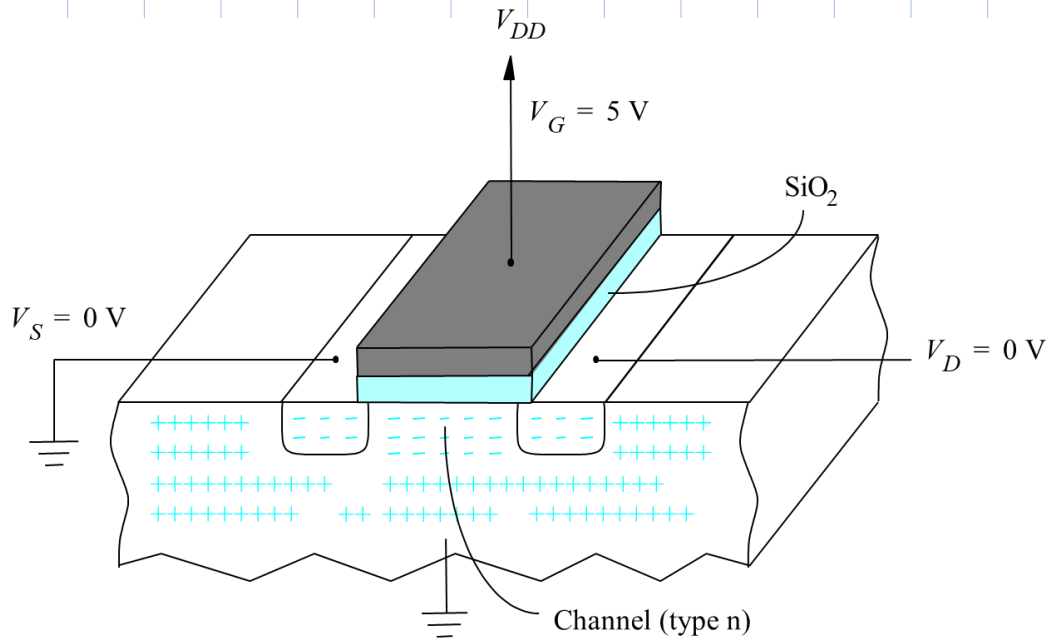
- Los transistores no se comportan como interruptores ideales
- Debido a su proceso de fabricación en silicio se producen fenómenos que afectan la forma en que diseñamos circuitos digitales
- Consumo de potencia, velocidad del circuito (tiempo de retardo o delay) y tamaño son los principales aspectos que queremos mejorar al momento de fabricar un chip

3.8.1 Fabricación y comportamiento de los MOSFETs

- Los MOSFET se construyen por un proceso de adición de capas en obleas o wafers de silicio
- El silicio es un **semi-conductor eléctrico**, por lo que puede ser manipulado para que no siempre conduzca corriente



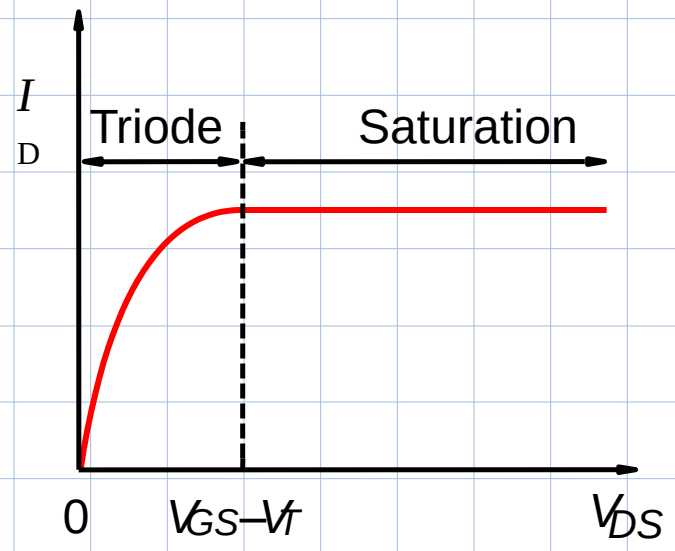
(a) When $V_{GS} = 0$ V, the transistor is off

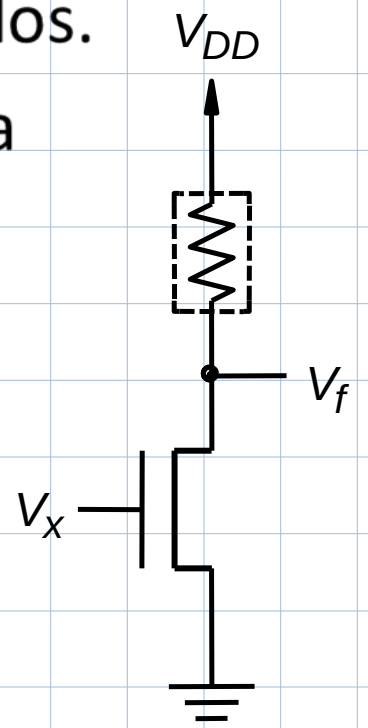


(b) When $V_{GS} = 5$ V, the transistor is on

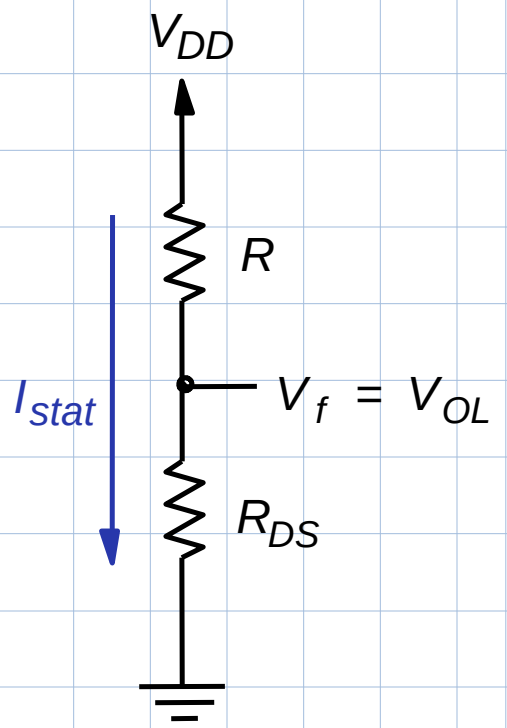
3.8.2 Resistencia del MOS

- Asumimos que los transistores tienen resistencia 0 cuando están encendidos y resistencia ∞ cuando están apagados.
- En realidad, siempre presentan una resistencia dada por V_{DS}/I_D





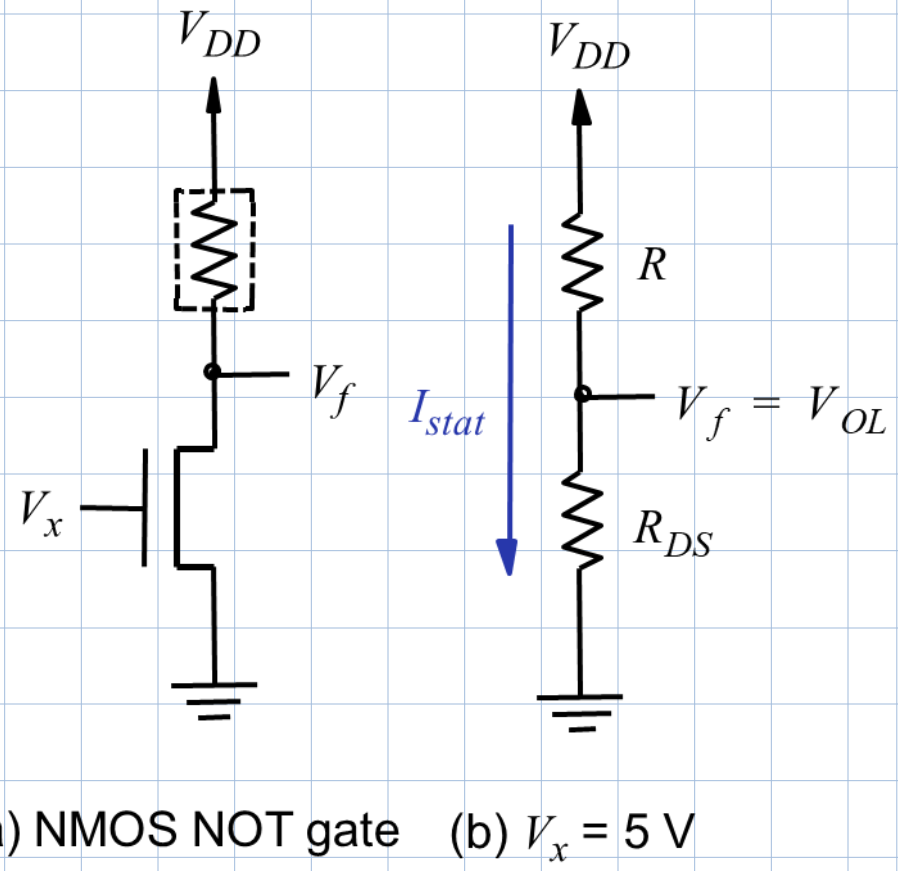
(a) NMOS NOT gate



(b) $V_X = 5$ V

3.8.3 Niveles de voltaje en compuertas lógicas

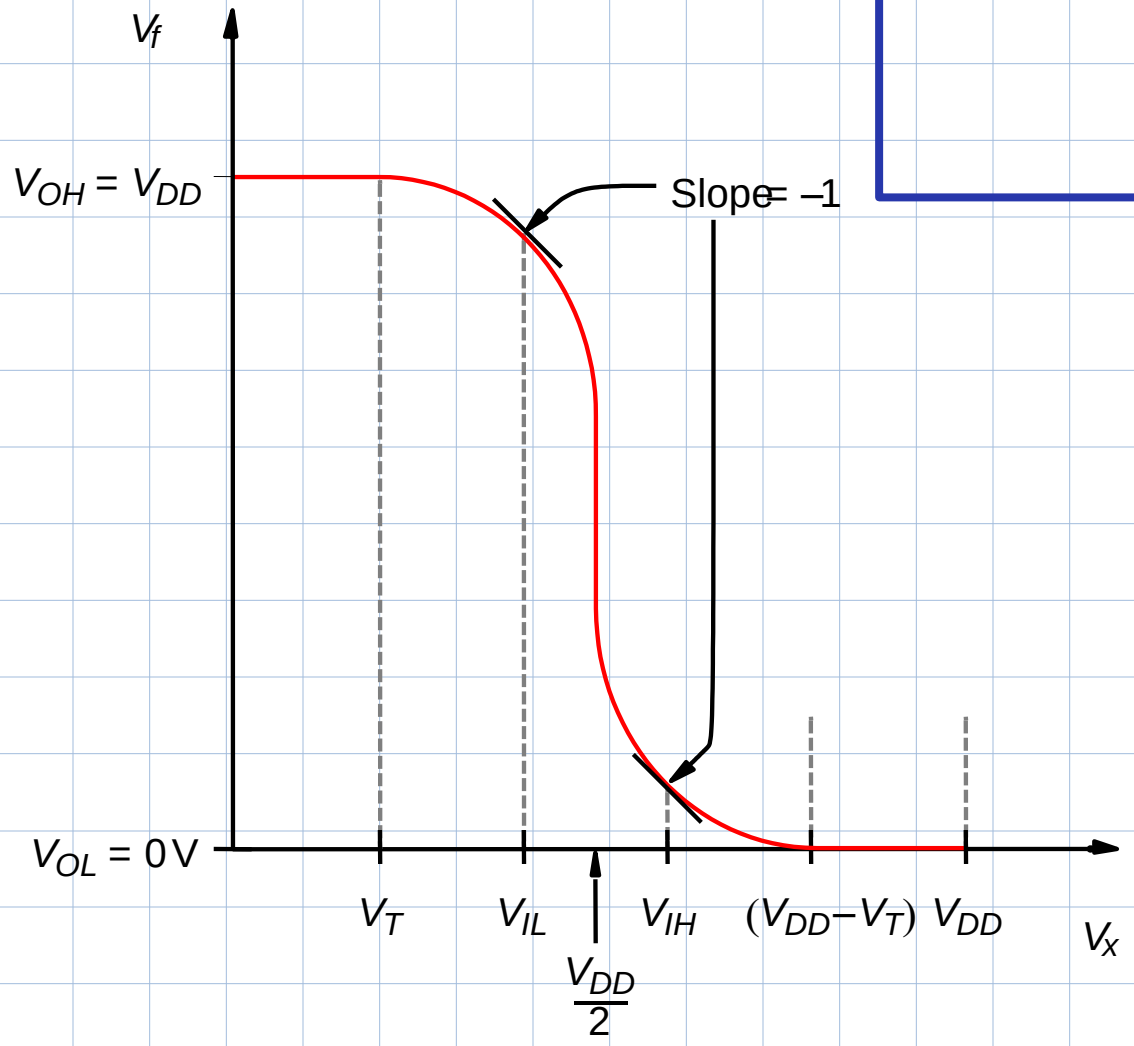
- Las compuertas lógicas implementadas con un solo tipo, NMOS o PMOS, conducen en uno de los estados
  - Conducción produce caída de potencial
- Entonces ocurre que
  - En tecnología NMOS, $V_{OH} = 5$ V, $V_{OL} > 0$ V
  - En tecnología PMOS, $V_{OH} < 5$ V, $V_{OL} = 0$ V



(a) NMOS NOT gate (b) $V_x = 5$ V

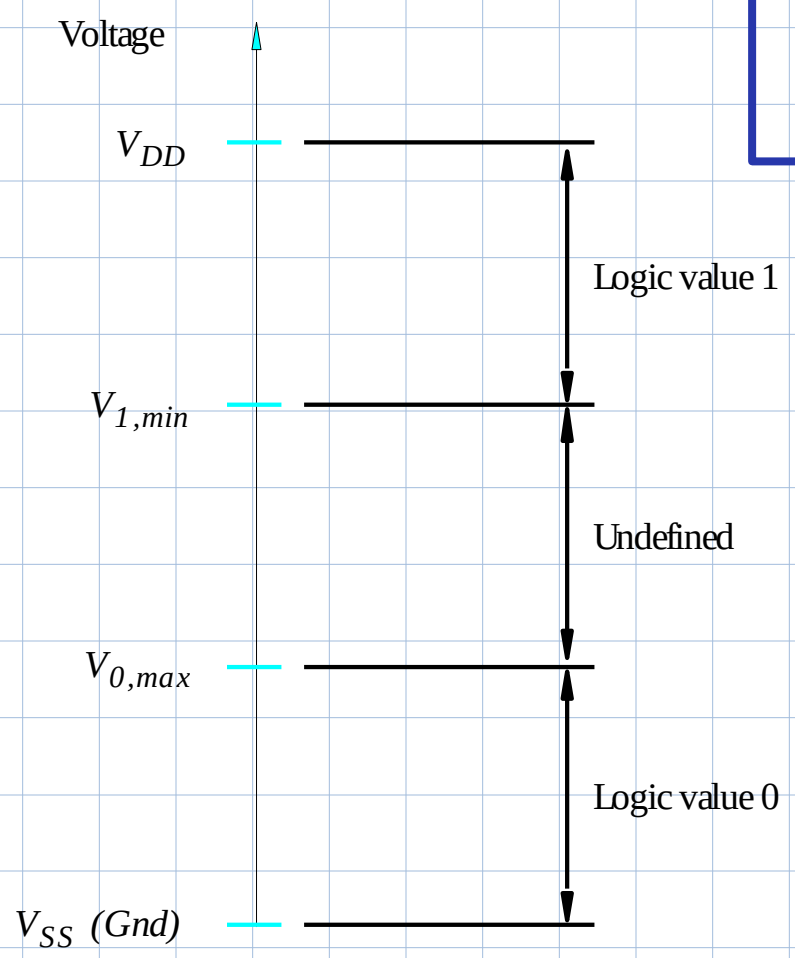
3.8.3 Niveles de voltaje en compuertas lógicas

- Para solucionar el problema anterior, se utilizan compuertas CMOS
- Estas compuertas producen valores de voltaje idénticos a los rieles de alimentación
- Además no consumen potencia estática



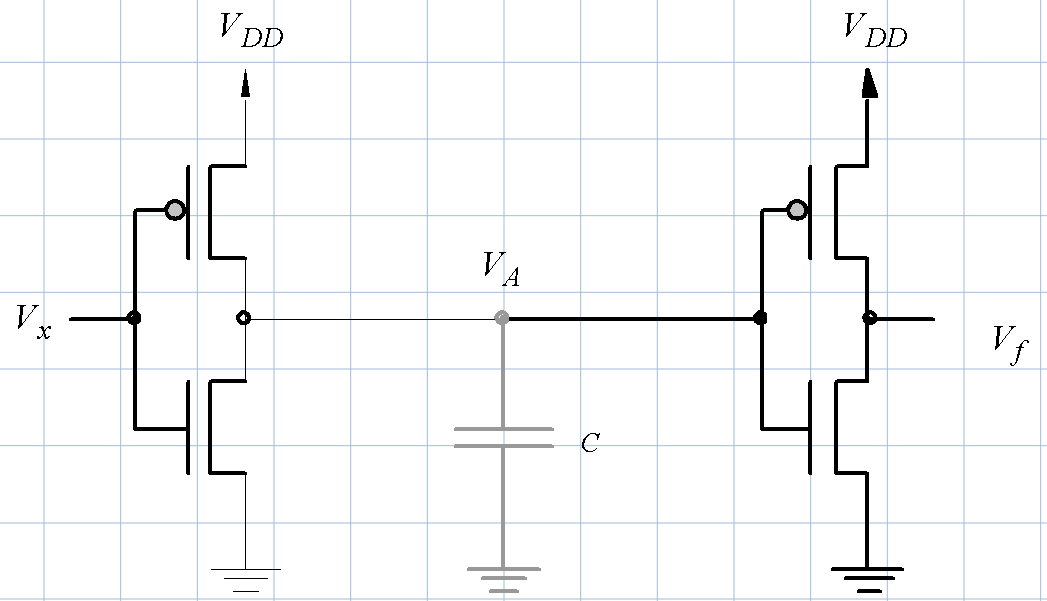
3.8.4 Márgenes de ruido

- Para definir un 1 o 0 lógico, existe un rango de voltajes al cual se asocia cada valor
- Este rango permite distinguir niveles válidos del ruido electrónico al que está sometido un circuito
- Para ahorrar potencia, hay circuitos con excursión reducida (reduced swing)



3.8.5 Operación dinámica de compuertas lógicas

- Debido al proceso de fabricación por capas de los transistores, se producen capacitancias parásitas
- Los transistores no pueden cambiar el voltaje de salida instantáneamente
- Junto con las resistencias de los transistores, se forman filtros pasabajos que disminuyen la velocidad de subida y bajada de las señales



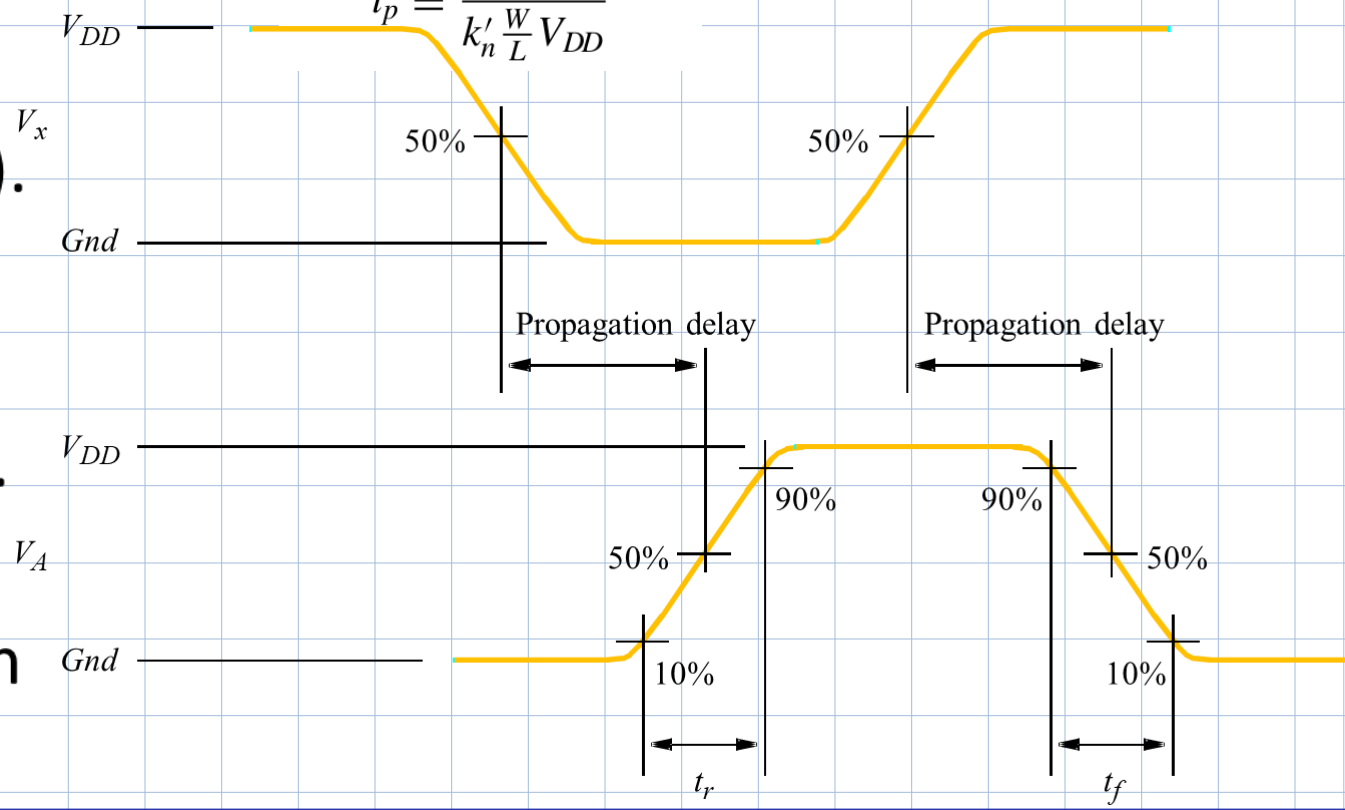
(b) The capacitive load at node A

3.8.5 Operación dinámica de compuertas lógicas

- Podemos identificar distintos tipos de retardos:
- t_r (rise time): tiempo que demora un nodo en cambiar de 0 a 1 (10% a 90% de VDD).
- t_f (fall time): tiempo que demora un nodo en cambiar de 1 a 0 (90% a 10% de VDD).
- Tiempo de propagación: tiempo para que el cambio en un nodo afecte al siguiente

$$t_p = \frac{C\Delta V}{I_D} = \frac{CV_{DD}/2}{I_D}$$

$$t_p \cong \frac{1.7\,C}{k_n' \frac{W}{L} V_{DD}}$$

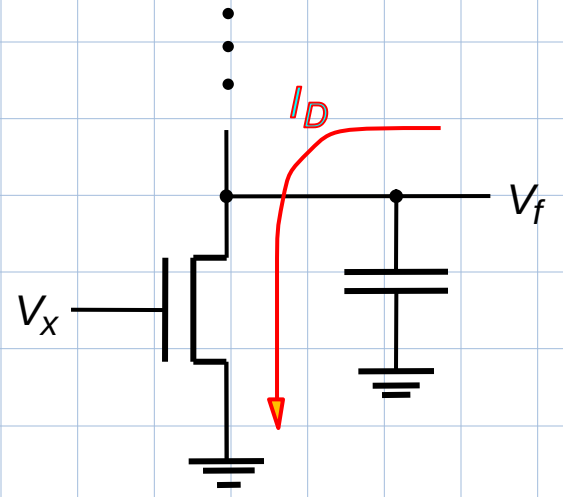


3.8.6 Disipación de potencia en compuertas lógicas

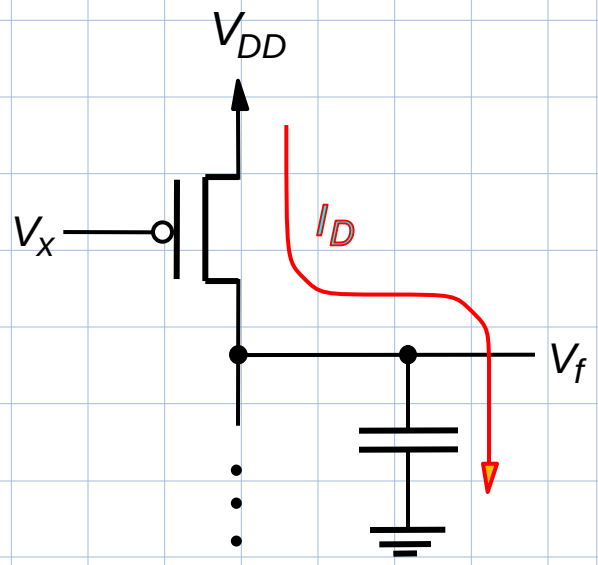
- Cuando hay billones de transistores en un chip, la potencia consumida por transistor es relevante.
- Transistores consumen potencia de dos formas:
  - Cuando están encendidos (I_{sat}) consumen **potencia estática**
  - Mientras se encuentran cambiando de estado (subida o bajada) consumen **potencia dinámica**

- Circuitos CMOS consumen principalmente potencia **dinámica**, ya que la transición entre estados no es inmediata.

$$P_D = \alpha f C V_{DD}^2$$



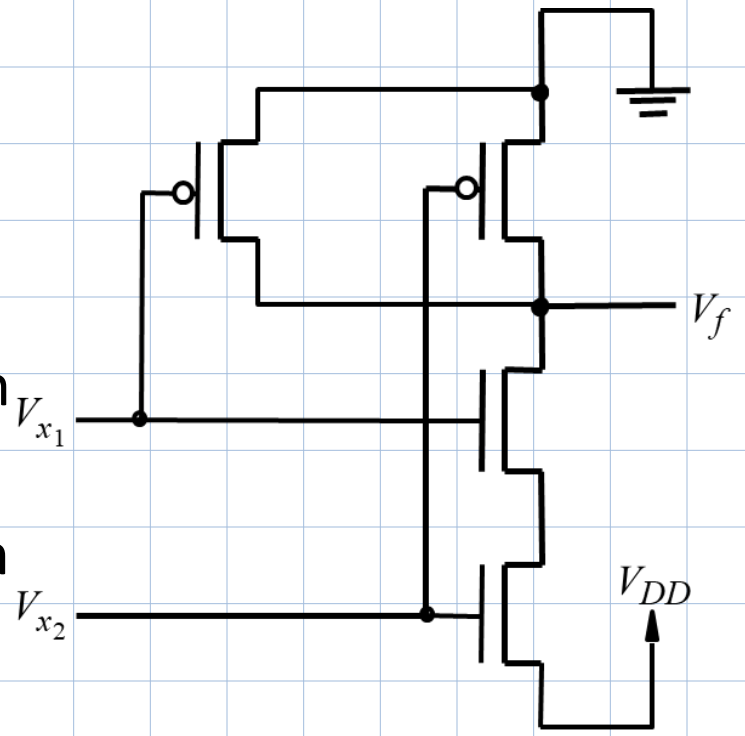
(a) Current flow when input V_x changes from 0 V to 5 V



(b) Current flow when input V_x changes from 5 V to 0 V

3.8.7 Paso de 0s y 1s a través de interruptores transistorizados

- ¿Qué pasa si conectamos los NMOS a VDD y los PMOS a tierra?
  - Se dice que un NMOS pasa bien un 0 pero mal un 1
  - Un PMOS pasa bien un 1 pero mal un 0



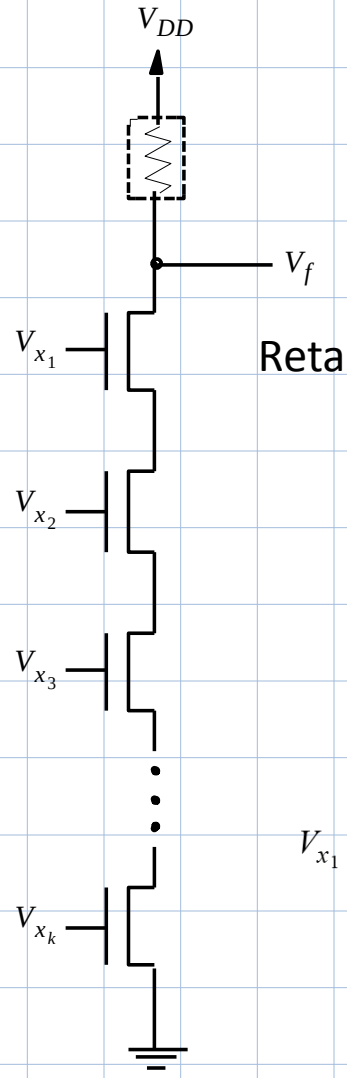
(a) An AND gate circuit

Logic value		Voltage	Logic value
x_1	x_2	V_f	f
0	0	1.5 V	0
0	1	1.5 V	0
1	0	1.5 V	0
1	1	3.5 V	1

(b) Truth table and voltage levels

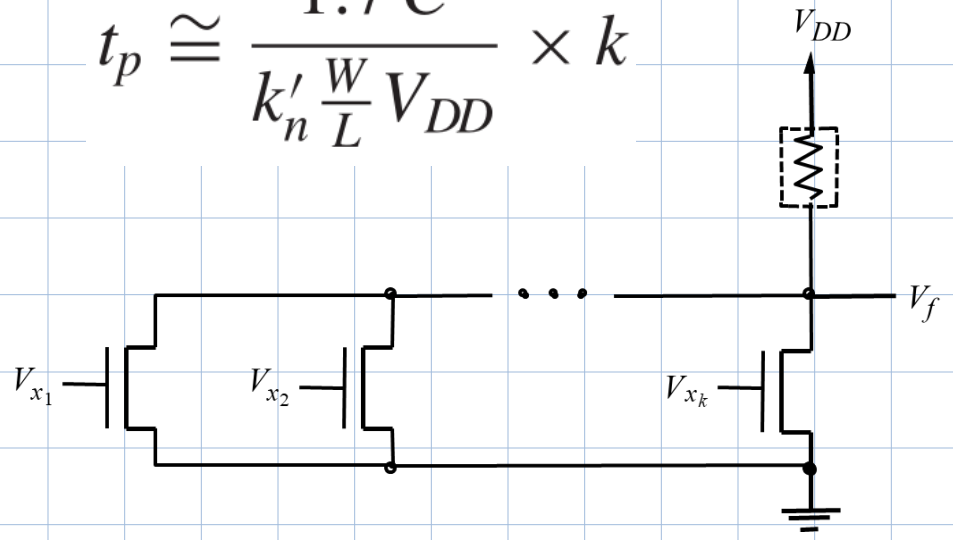
3.8.8 Fan-in y Fan-out de compuertas lógicas

- Fan-in es la cantidad *k* de entradas a una compuerta
- Muchas entradas implica un aumento de elementos parásitos y de tiempo de propagación
- Ej: en CMOS, es más conveniente hacer un AND de 6 entradas con dos AND de 3 entradas y un AND de 2 entradas



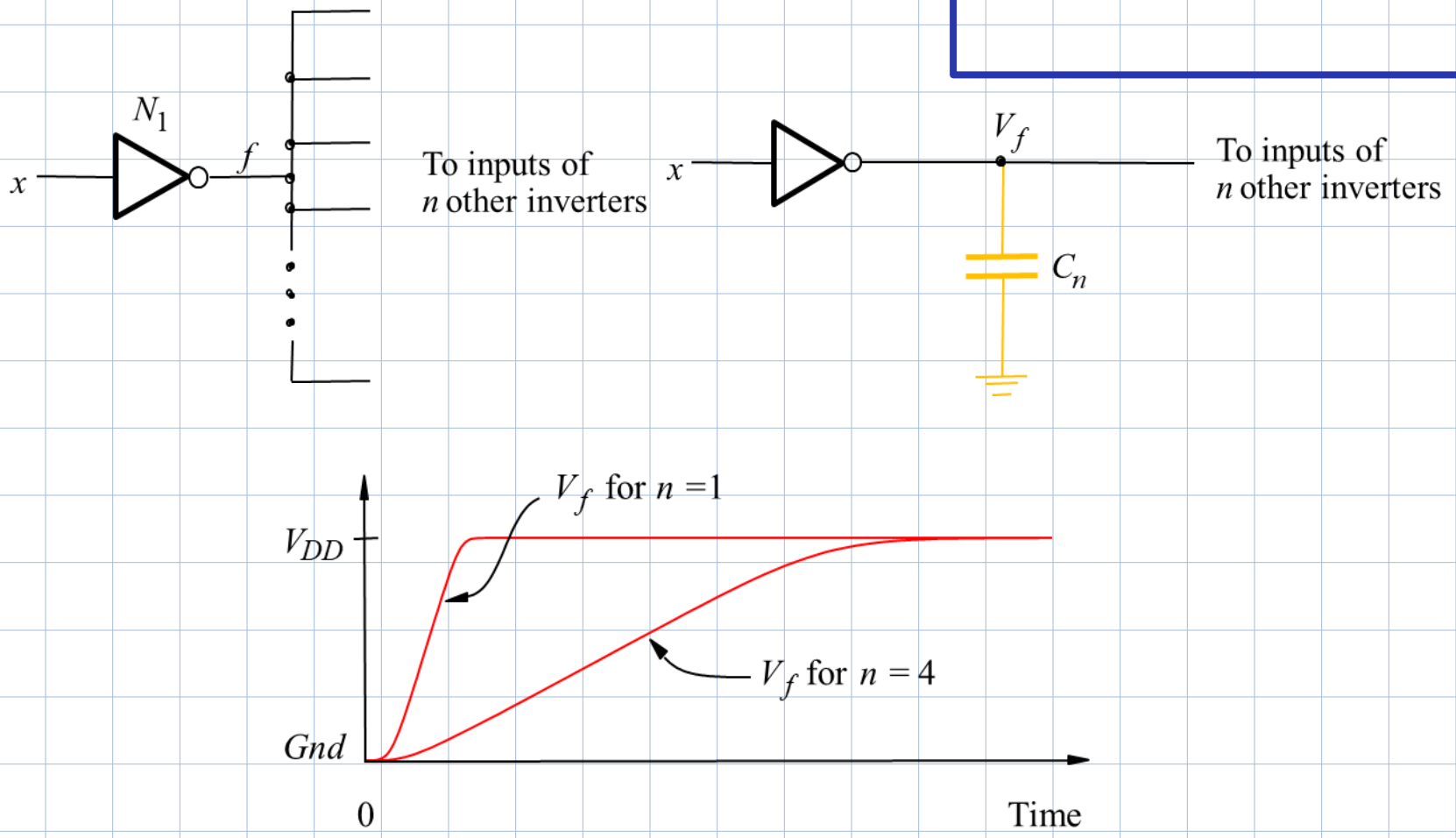
Retardo de propagación crece con fan-in

$$t_p \cong \frac{1.7\,C}{k_n' \frac{W}{L} V_{DD}} \times k$$

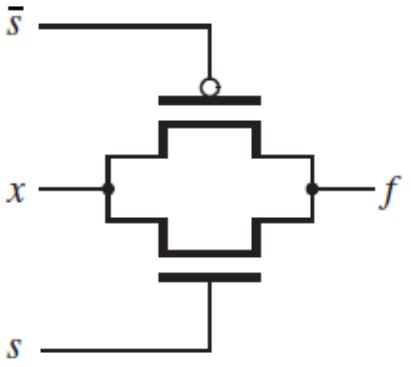


3.8.8 Fan-in y Fan-out de compuertas lógicas

- Fan-out es la cantidad *n* de compuertas manejadas por una compuerta
- Incrementa las capactiancias parásitas y el tiempo de propagación



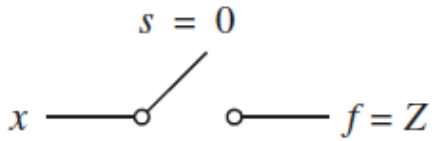
3.9 Compuertas de transmisión CMOS

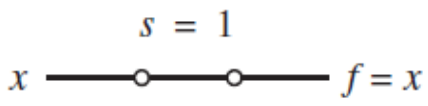


(a) Circuit

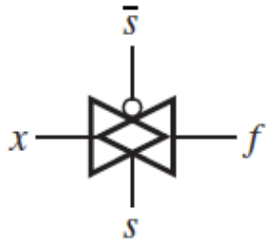
s	f
0	Z
1	x

(b) Truth table





(c) Equivalent circuit



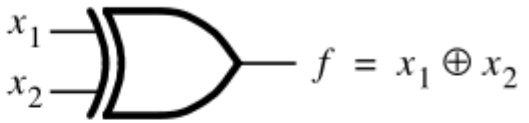
(d) Graphical symbol

- Transmiten la señal x cuando s = 1 Cuando s = 0 corresponde a un estado de alta impedancia
- Esto permite transmitir de major manera 0s y 1s que NMOS o PMOS individuales
- Además permiten disminuir considerablemente la cantidad de transistores por compuertas en ciertos circuitos
- Sin embargo, también pasan el ruido (non restoring logic), a diferencia de compuertas CMOS tradicionales

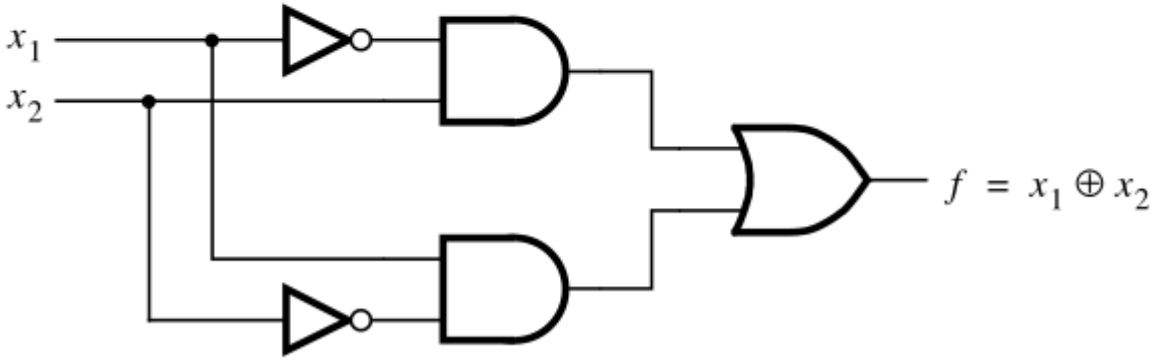
3.9.1 Compuerta XOR

x_1	x_2	$f = x_1 \oplus x_2$
0	0	0
0	1	1
1	0	1
1	1	0

(a) Truth table



(b) Graphical symbol

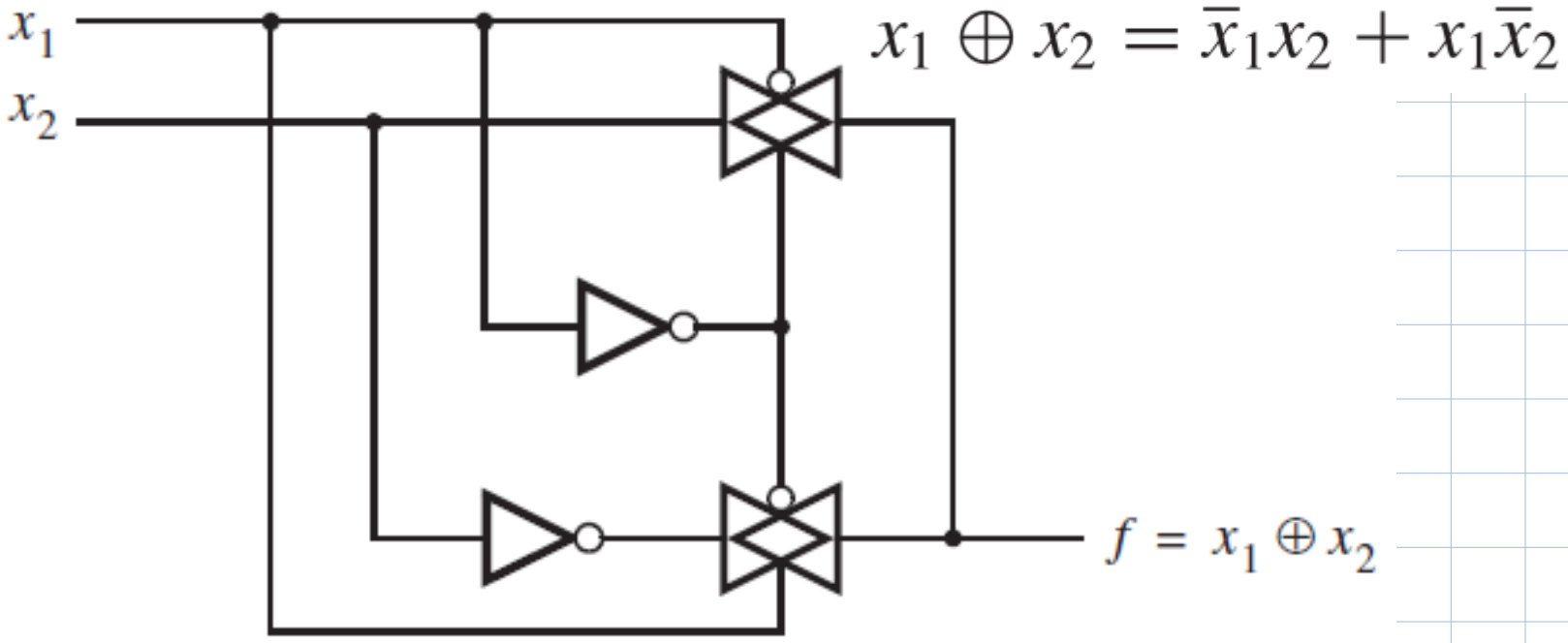


(c) Sum-of-products implementation

- El XOR (or exclusivo) es una compuerta lógica muy útil en la práctica

$$x_1 \oplus x_2 = \bar{x}_1 x_2 + x_1 \bar{x}_2$$

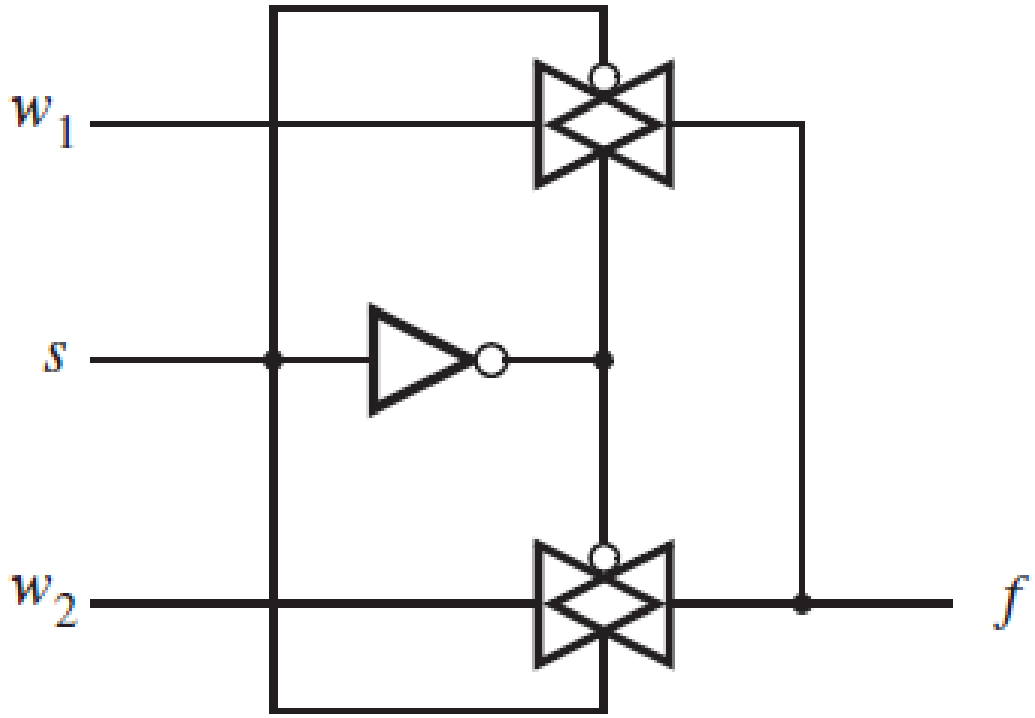
3.9.1 Compuerta XOR



- Es posible implementar una compuerta XOR usando compuertas de transmision ahorrando gran cantidad de transistores

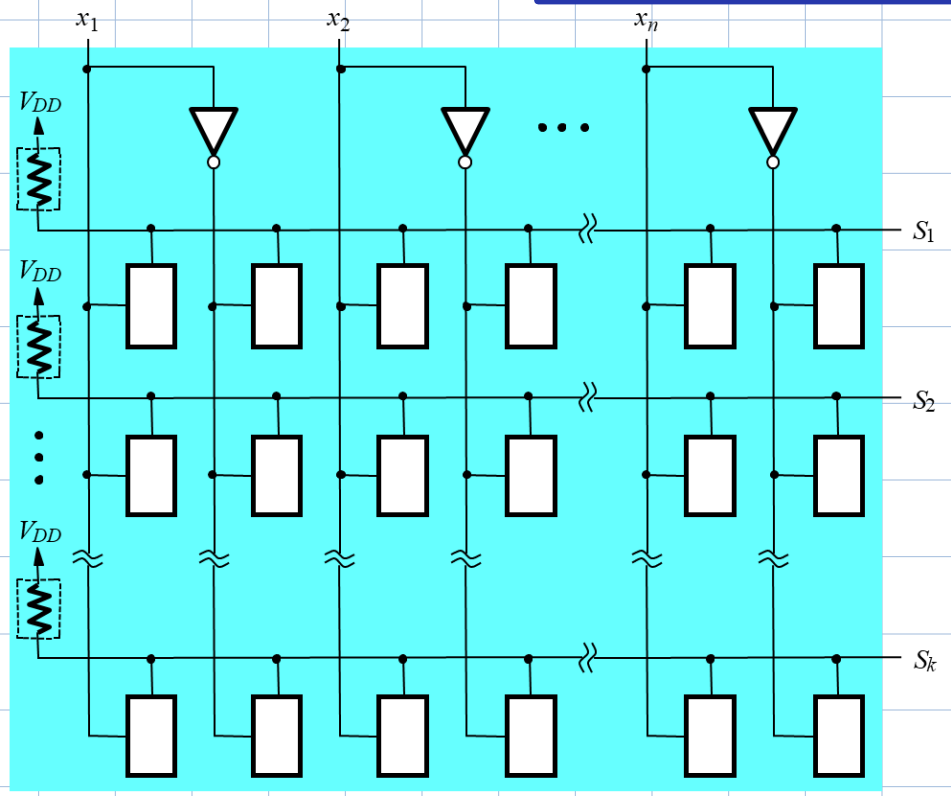
3.9.2 Circuitos multiplexores

- Otro circuito que podemos implementar eficientemente con compuertas de transmission son multiplexores:



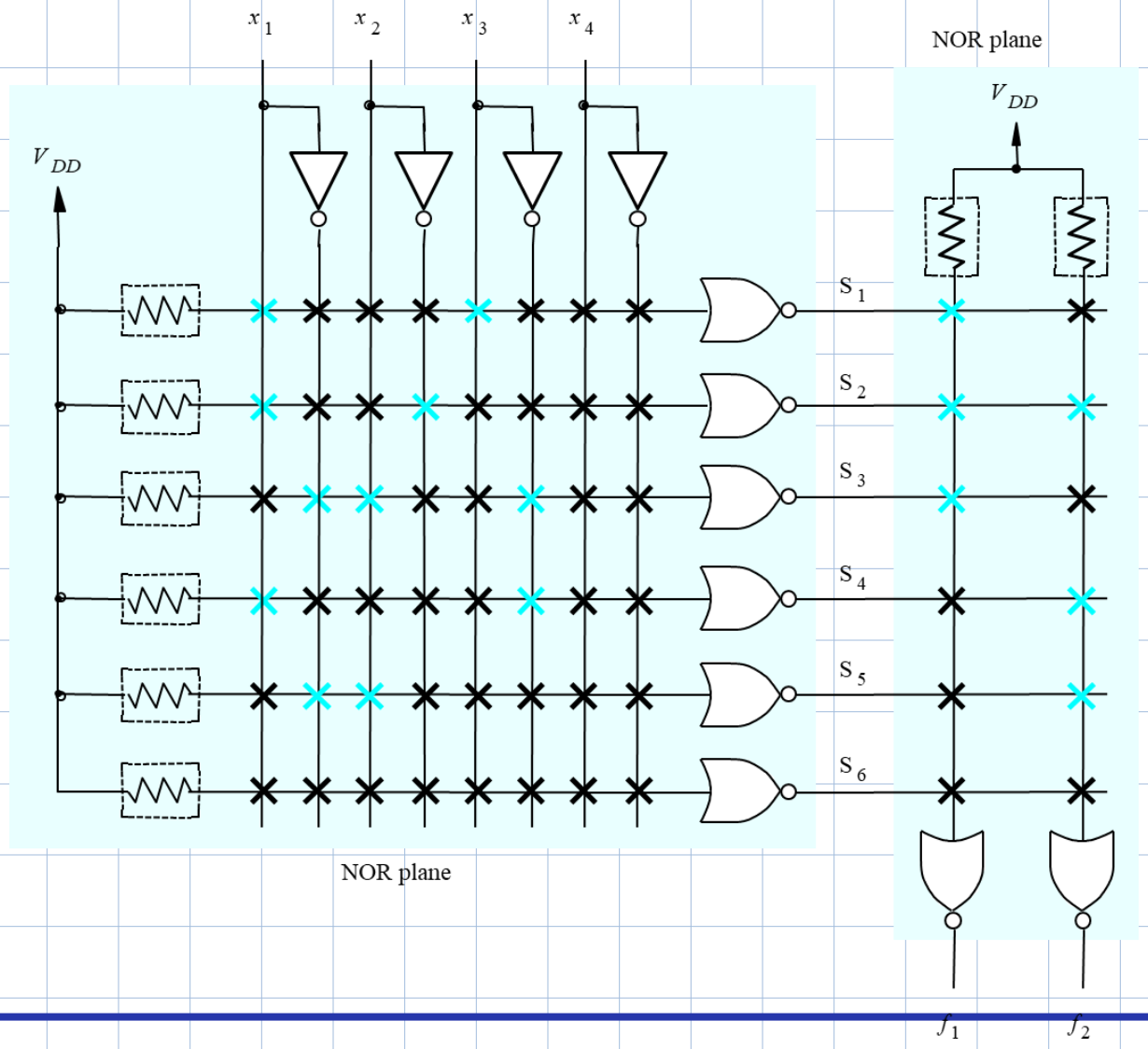
3.10 Detalles de implementación en SPLDs, CPLDs y FPGAs

- Para configurar estos circuitos se puede realizar de forma permanente o reprogramable
- Para hacerlos reprogramables se utilizan memorias EEPROM
  - Los transistores utilizados son ligeramente distintos a los MOSFET comunes
- Esto permite elegir que conexiones realizar y cambiarlas para realizar un circuito totalmente distinto



(a) Programmable NOR-plane

3.10 Detalles de implementación en SPLDs, CPLDs y FPGAs



- Esto permite elegir qué conexiones activar para realizar un circuito totalmente distinto cada vez que se programa, en vez de indicar qué conexiones realizar y cuáles no

3.10.1 Implementación en FPGA

- Las FPGA no funcionan con EEPROM, sino que con bloques de memoria SRAM
- Los interruptores son implementados con NMOS mientras que el estado de éstos es controlado por la memoria
  - Si hay un 0 en el bloque de memoria, su transistor NMOS asociado está apagado
  - Si hay un 1 en el bloque de memoria, su transistor NMOS respectivo está encendido

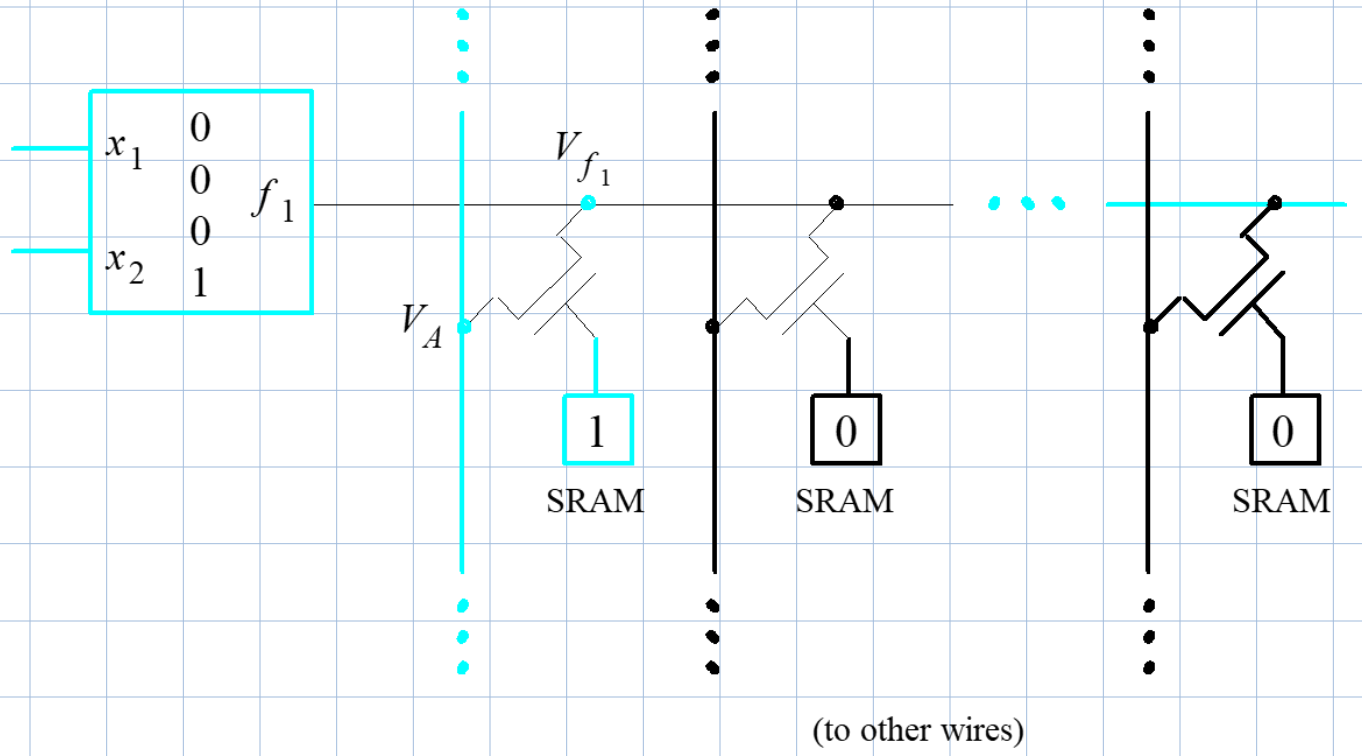


Figure B.73. Pass-transistor switches in FPGAs.