Pontificia Universidad Católica de Chile
Escuela de Ingeniería
Departamento de Ingeniería Eléctrica
IEE2713 - Sistemas Digitales

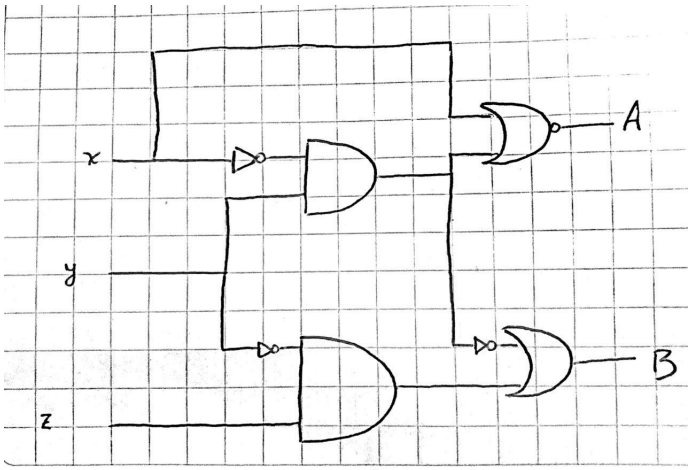
Ayudantía 5

Matías Paredes(miparedes@uc.cl)

25/09/18

Problema 1

Escriba en lenguaje Verilog el código que represente la siguiente figura:



Problema 2

Diseñe un código en Verilog que tome una entrada en BCD (4 bits) y entregue lo que se presenta a continuación:

a) Entregue un bit (I) que pueda agregarse a la entrada BCD, de tal forma que este presente paridad impar. Comentario: El bit debe agregarse de manera tal, que este se convierta en el bit mas significativo del número.

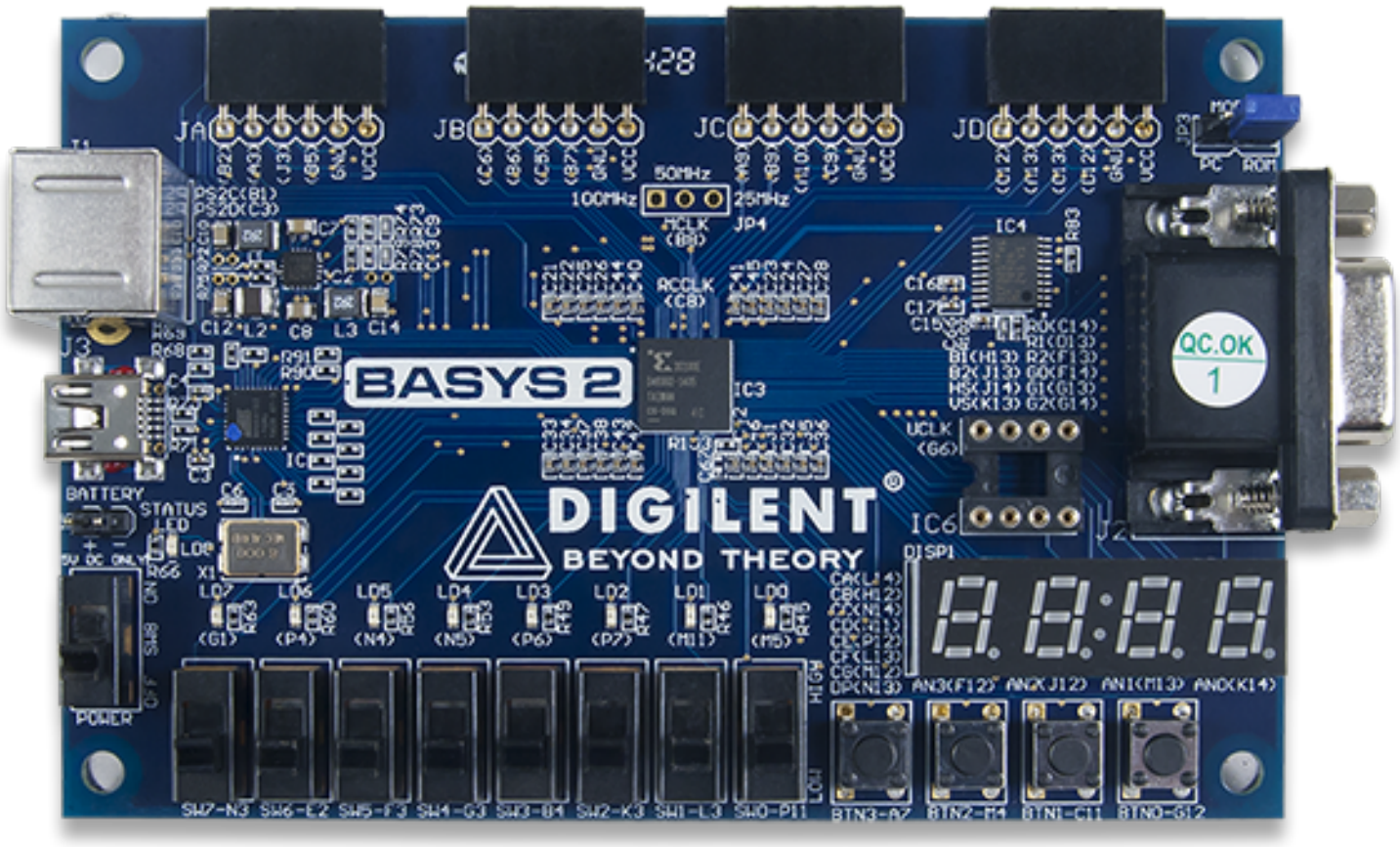
b) Entregue un bit (T) que sea igual 1 cuando la entrada BCD, tenga 2 bits iguales 0, y que entregue 0 en caso contrario.

Problema 3

Escriba un módulo en Verilog, que sume 2 números positivos de un bit. A continuación, escriba un segundo módulo, que sume 2 números positivos de 5 bits cada uno, llamando al primer módulo creado. Para efectos del diseño combinacional, solo debe realizarse con compuerta tipo AND,OR,NOT, además de que su diseño debe ser óptimo.

Problema 4: Estilo I1

Diseñe un circuito que sea capaz de sumar dos dígitos en BCD (4 bits), teniendo en cuenta, que el resultado también debe estar en BCD. Para el ejercicio debe considerar que usted tiene una caja negra llamada Full-Adder, que efectúa la operación de la suma entre 2 bits, este tiene 3 entradas y dos salidas. Nota:Puede ocupar solo como máximo 8 Full-Adders, y compuertas tipo AND,OR,not.


BASYS 2
DIGILENT
BEYOND THEORY
JA
JB
JC
JD
50MHz
100MHz
25MHz
JP4
ACCLK
(C8)
IC1
IC2
IC3
IC4
IC6
QC.OK
1
BATTERY
STATUS
LED
POWER
LD7
LD6
LD5
LD4
LD3
LD2
LD1
LD0
SW7-N3 SW6-E2 SW5-F3 SW4-G3 SW3-B4 SW2-K3 SW1-L3 SW0-P11
BTN3-A7 BTN2-M4 BTN1-C11 BTN0-G12