Ayudantía 13: Máquinas de Estado Finitas y Factorización

Adam Luchsinger (agluchsinger@uc.cl)

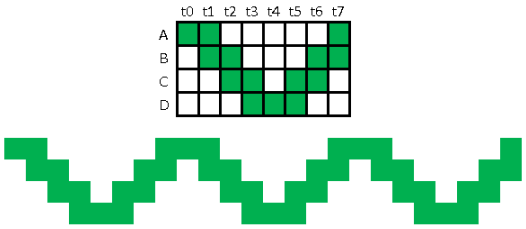
24 de junio de 2020

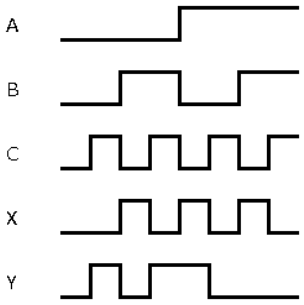
Objetivos

1. Máquinas de estado finitas en Verilog.
2. *Testbenches*

Problema 1[C]

Usted cuenta con 4 leds y desea encenderlos siguiendo el patrón de la figura. Escriba un código en Verilog utilizando máquinas de estado finitas:





1. Determine si el código presenta errores.
2. Escriba un testbench con autochequeo.
3. Escriba un tesbench con autochequeo con archivo de vectores. Escriba también el archivo .tv.

Problema 2 [A,C]

Se programó un módulo en Verilog que realiza las siguientes operaciones:

- $X = (A + B)\overline{C}$
- $Y = A\overline{B} + \overline{A}C$

Luego, se realizó un testbench y se obtuvo el resultado de la figura a continuación.

Problema 3[C]

En base al ejercicio de la ayudantía 9, realice un código en Verilog para cada módulo utilizando máquinas de estados finitos. Desafío: Escriba un testbench para cada módulo.
A raíz del covid-19, el supermercados 1Marc ha tenido problemas con su servicio de despacho a domicilio debido a la alta demanda. Diseñe un sistema que cumpla las condiciones a continuación.

- Existen 2 tipos de productos.
- Una señal (por tipo de producto) indica si

llega un producto de los proveedores (aumenta el stock)

- Una señal (por tipo de producto) indica si hay una demanda por ese producto y se debe enviar a un camión para su despacho.
- El stock máximo de cada producto es de 3. El mínimo es de 0. Se almacenan separados.
- El camión de despacho tiene capacidad de 4 productos. Una vez se llena se debe encender una luz. El camión se irá e instantáneamente llegará otro.
- Si en un instante se intenta cargar más de la capacidad del camión, se comienza a cargar otro en al mismo tiempo. (Si hay un camión con 3 productos y entran 2 más, el camión se va y queda otro cargado con 1 producto).