Pontificia Universidad Católica de Chile
Escuela de Ingeniería
Departamento de Ingeniería Eléctrica

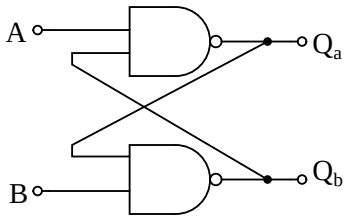
IEE2713 — Sistemas Digitales

Tarea 6 - entrega 25 de octubre 2019

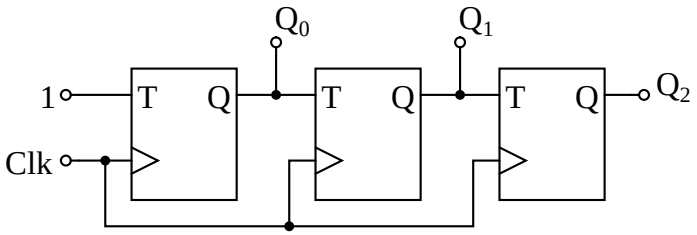
Instrucciones: Por favor entregar respuestas en documento en PDF con nombre de todos los integrantes. El documento puede ser elaborado con word, LaTeX, fotos digitalizadas, etc., pero el archivo es un pdf. No recibiremos tareas en otro formato y tampoco recibiremos tareas atrasadas.

Las tareas son en grupos de 2 o 3 estudiantes. Se recomienda enfáticamente que realicen la tarea en grupo a conciencia, discutiendo todas las preguntas entre todos los integrantes y sin repartirlas. No olviden respetar el código de honor de la UC.

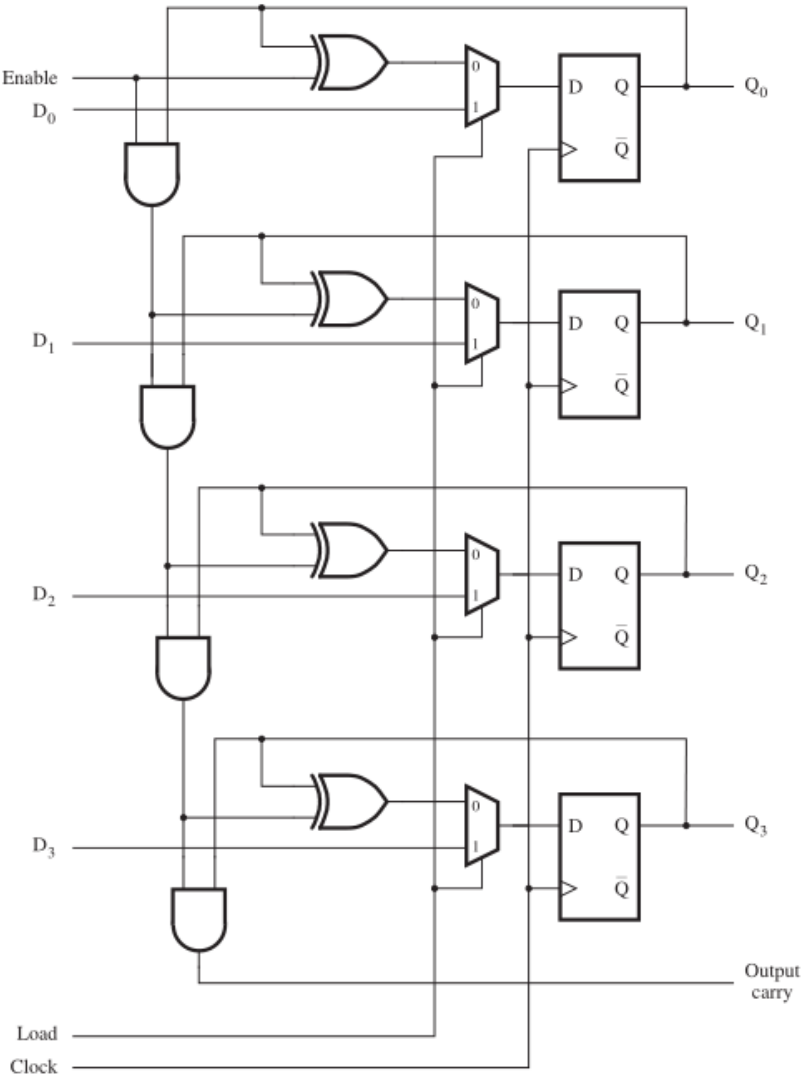
1. La figura a continuación muestra un latch construido con compuertas NAND. Derive su tabla de verdad y su diagrama de tiempo, similar a lo que aparece en la lámina 4 del capítulo 7 (1 punto).



2. El circuito de la figura es un contador. ¿Cómo es su secuencia de salida? (1 punto)



3. En el circuito de la figura, los flip-flops tienen t_{su} = 3 ns y t_h = 1 ns. El retardo de propagación de un flip-flop es 1 ns. Considere que cada compuerta AND, cada compuerta XOR y el multiplexor 2-1 tienen un retardo de propagación de 1 ns. ¿Cuál es la máxima frecuencia de reloj a la que este circuito operará correctamente? Justifique con cálculos y/o diagramas de tiempo (1 punto)



En los problemas a continuación diseñaremos un cronómetro capaz de contar entre 0 s y 9.999 s con una resolución de 1 ms. El cronómetro tendrá dos botones: uno para activar/detener la cuenta, y otro para restablecer el contador a 0. La cuenta será mostrada en tiempo real en el display de 7 segmentos. Para ello, se pide lo siguiente:

4. Describa en Verilog un módulo que despliegue 4 números simultáneamente en el display de 7 segmentos. Como el FPGA no puede manejar los cuatro dígitos al mismo tiempo, tendrá que desplegar cada dígito durante un tiempo corto, por ejemplo, 5 ms, antes de pasar al siguiente. Se sugiere crear un código que produzca un retardo de 5 ms y un contador que cuente cíclicamente entre 0 y 3, esperando el retardo entre cuenta y cuenta. Desde luego si usa 5 ms no podrá desplegar los dígitos tan rápido como los cuenta, pero el FPGA mantendrá la cuenta. Se incentiva a que pruebe diferentes retardos y concluya al respecto (1 punto).

5. Describa en Verilog un módulo que cuente cíclicamente entre 0 s y 9.999 s, con incrementos de 1 ms. Para ello se sugiere que utilice un módulo que produzca un retardo de 1 ms y que se encargue de habilitar el incremento de la cuenta del contador. Los botones de la Basys3 para activar/detener la cuenta y para restablecer la cuenta deben ser escogidos por Uds. No usen switches, usen botones. Muestren los resultados de la implementación en un video corto (3 puntos).

6. Como habrán podido apreciar, al apretar el botón para activar/detener la cuenta, ocurren varios pulsos cortos, como en la figura en https://tinyurl.com/yyvzlv6p

   Pueden ocurrir entre 10 y 100 pulsos en un período de 1 ms, dependiendo del botón. Esto es normal y se debe a que los contactos del botón rebotan entre sí debido a la elasticidad del material. Para resolver este problema, haremos un *debouncer*. Este módulo funcionará de la siguiente manera: al recibir un flanco, el módulo debouncer vetará todos los flancos que ocurran durante una ventana de tiempo de 50 ms. Implemente el módulo debouncer, agréguelo a sus botones, pruebe nuevamente el circuito y muestre sus resultados en un video (3 puntos).