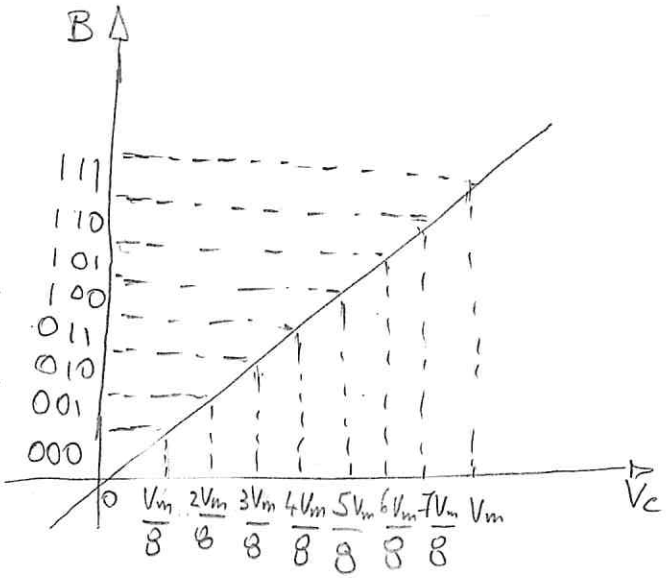
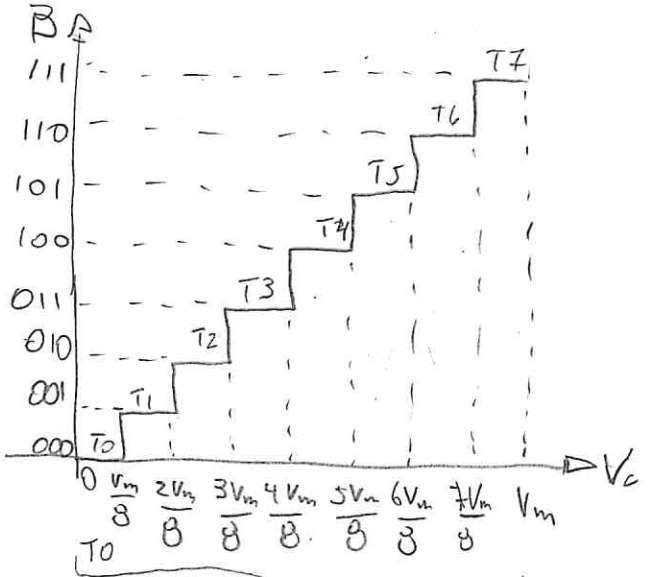
Pregunta 1

Lo que se plantea es implementar un conversor analógico - digital de la forma



dado que hay intervalos hay que redondear (hacia arriba, abajo, o al entero más cercano)
redondeando hacia abajo se tiene



Estos intervalos (T) se pueden conseguir con los comparadores de los ejes negros

$T_7 \rightarrow \left(V_c \geq \frac{7V_m}{8}\right) \rightarrow$ salida caja negra $7 = S_7 \Rightarrow T_7 = S_7$

$T_6 \rightarrow \left(\frac{7V_m}{8} > V_c \geq \frac{6V_m}{8}\right) \Rightarrow T_6 = S_6 \bar{S_7}$

$T_5 \rightarrow \left(\frac{6V_m}{8} > V_c \geq \frac{5V_m}{8}\right) \Rightarrow T_5 = S_5 \bar{S_6}$

$T_4 \rightarrow \left(\frac{5V_m}{8} > V_c \geq \frac{4V_m}{8}\right) \Rightarrow T_4 = S_4 \cdot \bar{S_5}$

$T_3 \rightarrow \left(\frac{4V_m}{8} > V_c \geq \frac{3V_m}{8}\right) \Rightarrow T_3 = S_3 \cdot \bar{S_4}$

$T_2 \rightarrow \left(\frac{3V_m}{8} > V_c \geq \frac{2V_m}{8}\right) \Rightarrow T_2 = S_2 \cdot \bar{S_3}$

$T_1 \rightarrow \left(\frac{2V_m}{8} > V_c \geq \frac{V_m}{8}\right) \Rightarrow T_1 = S_1 \bar{S_2}$

$T_0 \rightarrow \left(\frac{V_m}{8} > V_c \geq 0\right) \Rightarrow T_0 = S_0 \cdot \bar{S_1}$

T_0	T_1	T_2	T_3	T_4	T_5	T_6	T_7	B_2	B_1	B_0
0	0	0	0	0	0	0	1	1	1	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	1	0	0	0	0	0	1	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	0	0	0

$B_2 = T_7 + T_6 + T_5 + T_4$

$B_1 = \bar{T_7} + T_6 + T_3 + T_2$

$B_0 = T_7 + T_5 + T_3 + T_1$

```
module ADC (input [7:0] S,
            output [2:0] B);

wire [7:0] T;

assign T[7] = S[7];
assign T[6] = S[6] & ~S[7];
assign T[5] = S[5] & ~S[6];
assign T[4] = S[4] & ~S[5];
assign T[3] = S[3] & ~S[4];
assign T[2] = S[2] & ~S[3];
assign T[1] = S[1] & ~S[2];
assign T[0] = S[0] & ~S[1];

assign B[2] = T[7] | T[6] | T[5] | T[4];
assign B[1] = T[7] | T[6] | T[3] | T[2];
assign B[0] = T[7] | T[5] | T[3] | T[1];
endmodule
```

2ptos por código
2 pros por tabla de verdad
1 pto por conexión de cajas
1 pto por entrada y salidas del código

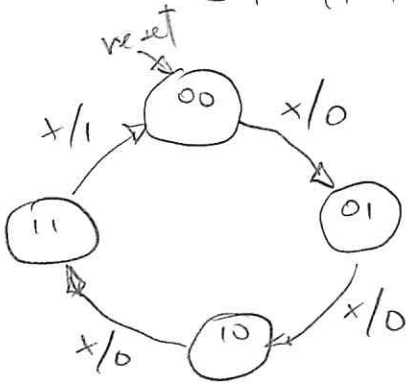
Pregunta 2

El segmento "b" se enciende en 0, 1, 2, 3, 4, 7, 8, 9

Secuencias válidas son

0000
0001
0010
0011
0100
0111
1000
1001

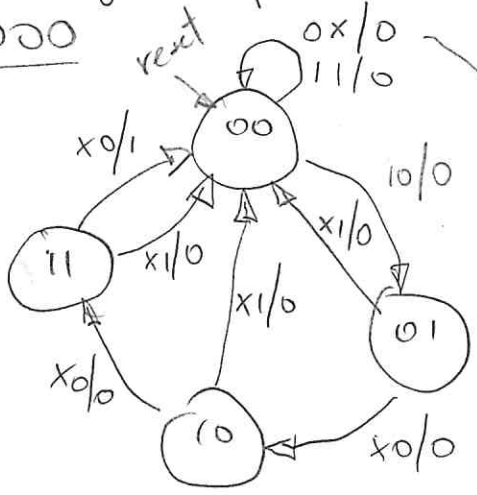
Hacemos 8 reconocedores de secuencias como los vistos en clase. Pero debemos asegurarnos que todos estén sincronizados. Para esto hacemos un contador 0, 1, 2, 3 con salida F (F=1 ⇒ se recibieron los 4 bits del BCD)



$F = Q_1 Q_0$

Luego implementamos los reconocedores de secuencia

0000



con entrada B (bits) y F (FB)

con esto nos aseguramos que se quede en el estado 00 hasta que pasen los 4 bits del BCD en caso de secuencia incorrecta.

F B	Q_1	Q_0	Q_1	Q_0	b_0
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	1	0	1	0
1	0	1	1	0	1
1	1	0	0	0	0
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	0	0

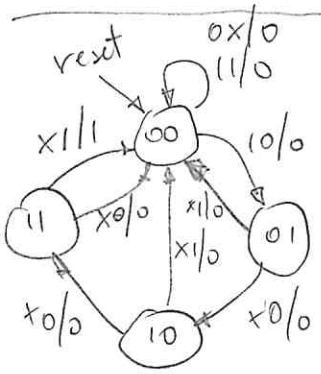
$$Q_0^{t+1} = F\bar{B}\bar{Q}_0 + \bar{B}Q_1\bar{Q}_0$$

FB \ Q_1Q_0	00	01	11	10
00	0	0	0	1
01	0	0	0	0
11	0	0	0	0
10	1	0	0	1

FB \ Q_1Q_0	00	01	11	10
00	0	0	1	0
01	0	0	0	0
11	0	0	0	0
10	0	0	1	0

$$b_0 = \bar{B}Q_1Q_0$$

0001



F B	Q_1	Q_0	Q_1	Q_0	b_1
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	0
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	1
1	0	0	0	1	0
1	0	0	1	0	0
1	0	1	0	1	0
1	0	1	1	0	0
1	1	0	0	0	0
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	0	1

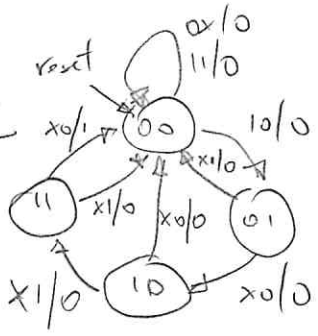
$$Q_0^{t+1} = F\bar{B}\bar{Q}_0 + \bar{B}Q_1\bar{Q}_0$$

FB \ Q_1Q_0	00	01	11	10
00	0	0	0	1
01	0	0	0	0
11	0	0	0	0
10	1	0	0	1

FB \ Q_1Q_0	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	0	0	1	0
10	0	0	0	0

$$b_1 = B\,Q_1Q_0$$

0010



F	B	Q_1	Q_0	Q_1	Q_0	b_2
0	0	0	0	0	0	0
0	0	0	1	1	0	0
0	0	1	0	0	0	0
0	0	1	1	0	0	1
0	1	0	0	0	0	0
0	1	0	1	0	0	0
0	1	1	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	1	0
1	0	0	1	1	0	0
1	0	1	0	0	0	0
1	0	1	1	0	0	1
1	1	0	0	0	0	0
1	1	0	1	0	0	0
1	1	1	0	1	1	0
1	1	1	1	0	0	0

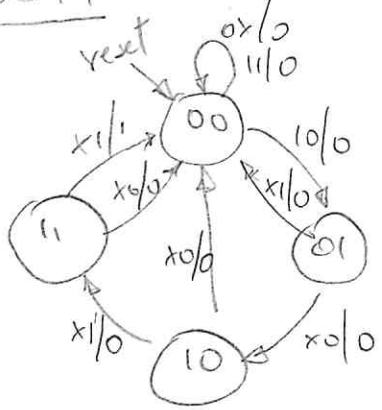
$$Q_0^{t+1} = B Q_1 \bar{Q}_0 + F \bar{B} Q_1 \bar{Q}_0$$

F B \ Q_1Q_0	00	01	11	10
00	0	0	0	0
01	0	0	0	1
11	0	0	0	1
10	1	0	0	0

F B \ Q_1Q_0	00	01	11	10
00	0	0	1	0
01	0	0	0	0
11	0	0	0	0
10	0	0	1	0

$$b_2 = \bar{B} Q_1 Q_0$$

0011



F	B	Q_1	Q_0	Q_1	Q_0	b_3
0	0	0	0	0	0	0
0	0	0	1	1	0	0
0	0	1	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	0	0
0	1	0	1	0	0	0
0	1	1	0	1	1	0
0	1	1	1	0	0	1
1	0	0	0	0	1	0
1	0	0	1	1	0	0
1	0	1	0	0	0	0
1	0	1	1	0	0	0
1	1	0	0	0	0	0
1	1	0	1	0	0	0
1	1	1	0	1	1	0
1	1	1	1	0	0	1

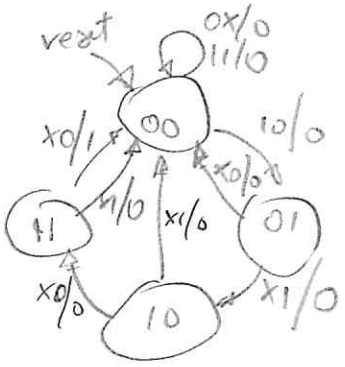
F B \ Q_1Q_0	00	01	11	10
00	0	0	0	0
01	0	0	0	1
11	0	0	0	1
10	1	0	0	0

$$Q_0 = B Q_1 \bar{Q}_0 + F \bar{B} \bar{Q}_1 \bar{Q}_0$$

F B \ Q_1Q_0	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	0	0	1	0
10	0	0	0	0

$$b_3 = B \bar{Q}_1 Q_0$$

0100



FB	Q_1	Q_0	Q_1^{t+1}	Q_0^{t+1}	b_4
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	0	0
0	1	0	1	1	0
0	1	1	0	0	0
0	1	1	1	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	1	0	1	0
1	0	1	1	0	1
1	1	0	0	0	0
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	0	0

FB \ Q_1Q_0	00	01	11	10
00	0	0	0	1
01	0	0	0	0
11	0	0	0	0
10	1	0	0	1

$$Q_0^{t+1} = FB\bar{Q}_1\bar{Q}_0 + \bar{B}Q_1\bar{Q}_0$$

FB \ Q_1Q_0	00	01	11	10
00	0	0	1	0
01	0	0	0	0
11	0	0	0	0
10	0	0	1	0

$$b_4 = \bar{B}Q_1Q_0$$

Se puede generalizar

b_i

Para 0, 2, 4, 8 $b_i = \bar{B}Q_1Q_0$

(las variables de estado no son globales (son internas a cada circuito))

Para 1, 3, 7, 9 $b_i = B\overbrace{Q_1Q_0}$

Q_0^{t+1}

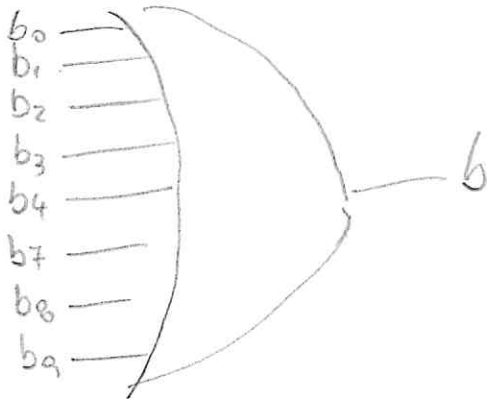
Para 0, 1, 4 $\quad Q_{0,i}^{t+1} = F\bar{B}\bar{Q}_0 + \bar{B}Q_1\bar{Q}_0$

para 2, 3, 7 $\quad Q_{0,i}^{t+1} = BQ_1\bar{Q}_0 + F\bar{B}\bar{Q}_1\bar{Q}_0$

para 8, 9 $\quad Q_{0,i}^{t+1} = \bar{B}Q_1\bar{Q}_0 + FB\bar{Q}_1Q_0$

Segmento b

$$b = b_0 + b_1 + b_2 + b_3 + b_4 + b_7 + b_8 + b_9$$



Asignación de puntaje en la carpeta en secretaria

Pregunta 3

Entradas:

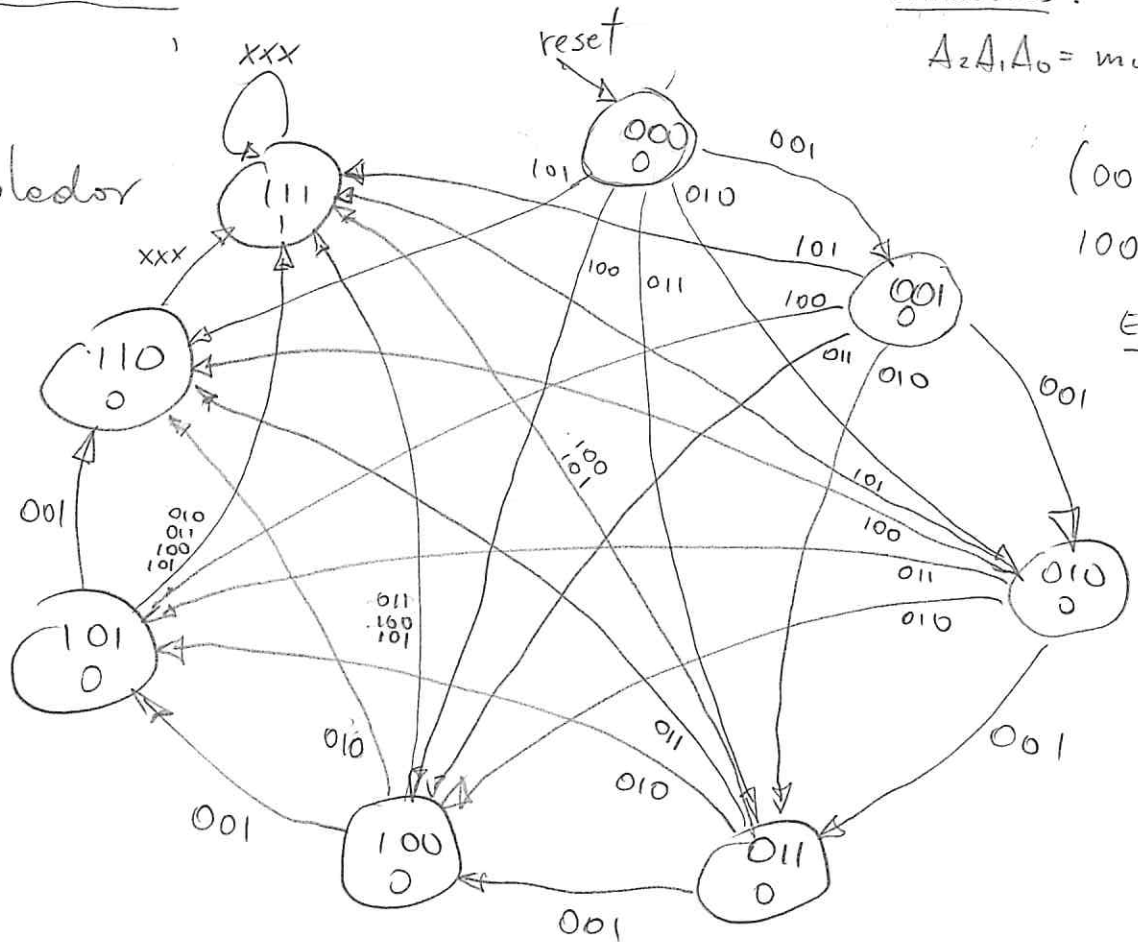
$A_2A_1A_0$ = multiplicando x dado

(001, 010, 011, 100, 101)

Estados = cuenta

Salida: fin cuenta B (cuenta ≥ 7)

Acumulador

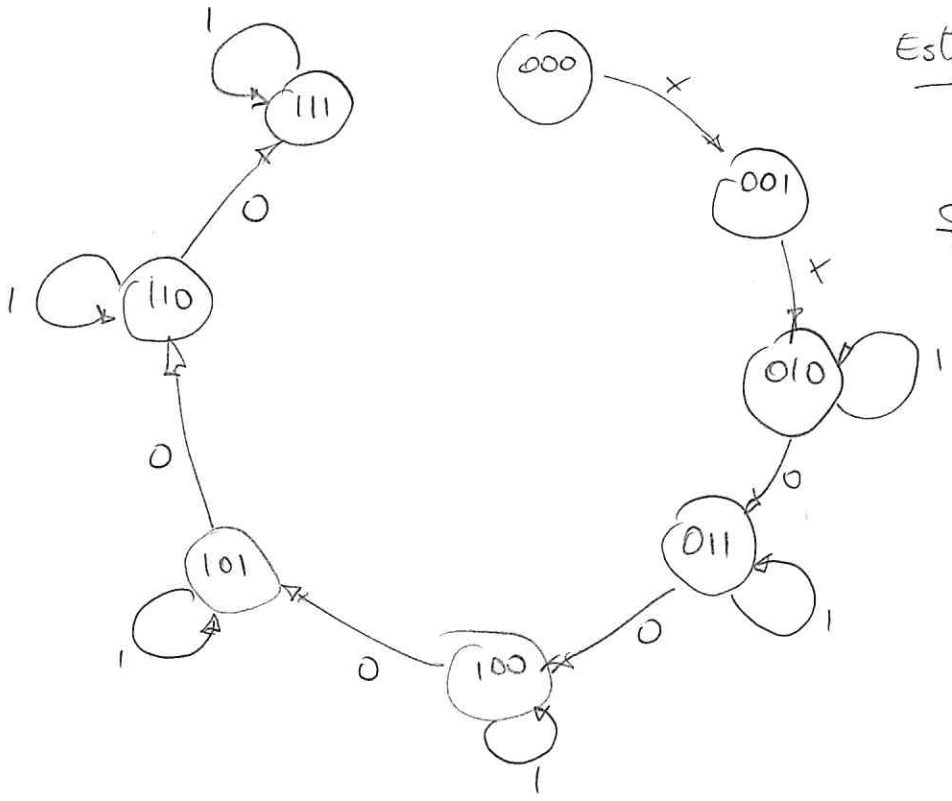


Contador

Entradas: B (fin cuenta)

Estados: número de lanzamientos

Salida = Estados



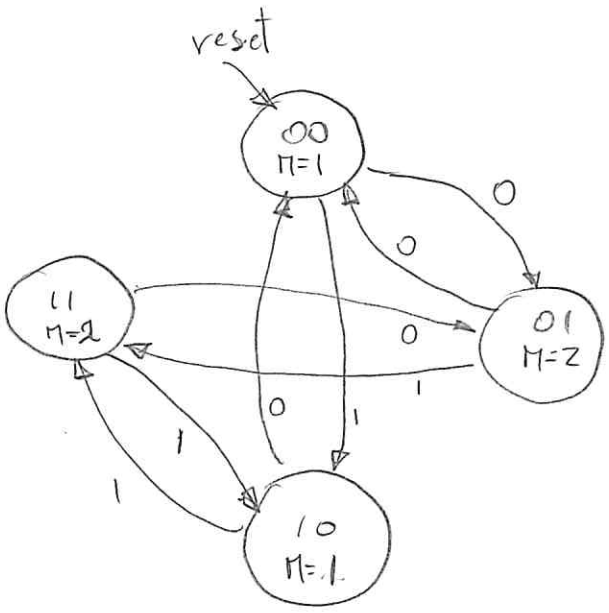
Pregunta 3

Cálculo del multiplicador

Entrada C $\begin{cases} C=1 \text{ cara} \\ C=0 \text{ sello} \end{cases}$

Estados: avance del multiplicador

Salidos: M (Multiplicador)



Dado ⇒ 11, 10, 01 ($D_1 D_0$)

Multiplicador m=1 (M=1)
m=0 (M=2)

m	D_1	D_0	A_2	A_1	A_0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	1	0	1
1	0	1	0	0	1
1	1	0	0	1	0
1	1	1	0	1	1

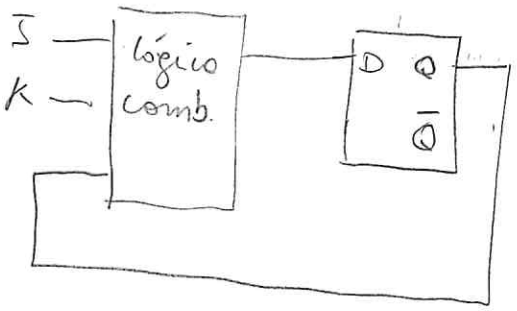
entradas para el acumulador

2 pts por cada maquina:

1 por identificarla y señalar entradas/salidas
1 por diagrama correcto

Pregunta 4

La solución es del tipo



Entradas J, K, Q

Salidas $D = Q^{t+1}$

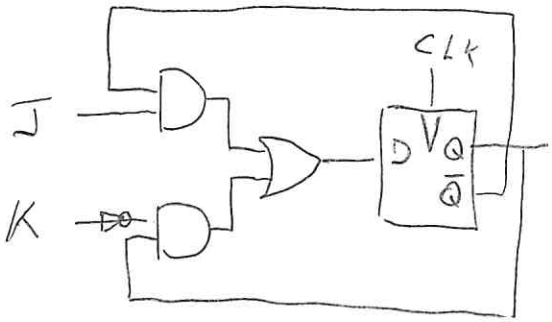
J	K	Q^t	Q^{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Para llenar la tabla hay que ver

J	K	Q^{t+1}
0	0	Q^t
0	1	0
1	0	1
1	1	$\overline{Q^t}$

J K \ Q^t	0	1
0 0	0	1
0 1	0	0
1 1	1	0
1 0	1	1

$$Q^{t+1} = J\,\overline{Q^t} + \overline{K}\,Q^t$$



1 pto por determinar entradas y salidas correctas
2 pts tabla de verdad JKQ(t)lQ(t+1)
1 pto mapa K
1 pto funcion despejada
1 pto circuito