Ayudantía 6: Introducción a Verilog

Javier Silva Orellana (jisilva8@uc.cl)

22 de abril de 2020

Objetivos

1. Recordar y aplicar los comandos básicos de programación en Verilog.
2. Programar módulos de Verilog, basados en los aprendizajes del Capítulo 1.
3. Introducir las nociones básicas de diseño modular y *testbenching*.

Problema 1 [A]

Programe en *Verilog* un módulo que tome como entrada un número de 4 bits y lo convierta a código Gray.

Problema 2 [A]

Programe en Verilog un decodificador 2–4.

Problema 3 [A]

Programe en Verilog un módulo que codifique un mensaje de 5 bits en Hamming, con paridad par.

Problema 4 [A]

Programe en *Verilog* un módulo que reciba un numero Hexadecimal y un bit de signo, convierta el número a complemento de 2 y lo codifique en *Hamming* con paridad impar.

Problema 5 [E]

1. Repita el problema 4, esta vez con paridad par y reutilizando su módulo *Hamming* del problema 3.
2. Genere un módulo multiplexor 2—1 y utilícelo para generar un módulo multiplexor 4—1 .

Problema 6 [E]

Genere un Testbench para:

1. Evaluar una compuerta lógica NOT de 4 bits
2. Evaluar el conversor Gray del Problema 1